



電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-7333

**積層パッケージデザインガイド
ファインピッチ・ボールグリッドアレイ及び
ファインピッチ・ランドグリッドアレイ
Design Guide for Stacked Packages
Fine-pitch Ball Grid Array and Fine-pitch Land Grid Array
(P-PFBGA and P-PFLGA)**

2008年5月制定

作成

半導体技術委員会／半導体実装・製品技術専門委員会

Semiconductor Technology Committee/Semiconductor Product Technology Committee of Japan

半導体パッケージ技術小委員会

Technical Committee on Semiconductor Packaging

発行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

まえがき

この規格は、社団法人 電子情報技術産業協会（JEITA）の半導体パッケージ小技術委員会・集積回路パッケージサブコミティが作成したものである。

この規格は、著作権法によって保護されている著作物であるため、許可なくこの規格の一部又はすべてを複製・転載することを禁止する。

この規格は、この規格の一部が、工業所有権（特許権、実用新案権、意匠権など）に抵触する可能性に関係なく制定されている。社団法人 電子情報技術産業協会は、このような工業所有権に係る確認について、責任はもたない。

電子情報技術産業協会技術レポート

積層パッケージデザインガイド ファインピッチ・ボールグリッドアレイ及び ファインピッチ・ランドグリッドアレイ

Design Guide for Stacked Packages Fine-pitch Ball Grid Array and Fine-pitch Land Grid Array (P-PFBGA and P-PFLGA)

1 適用範囲

この技術レポートは、**JEITA ED-7300** で FORM-D として分類される FBGA と FLGA を 3 次元に実装して構成される積層パッケージにおいて、積層用の単体パッケージ及びそれらを用いた積層後のパッケージの外形図及び寸法について規定する。

2 引用規格

次に掲げる規格は、この規格に引用されることによって、この規格の規定の一部を構成する。これらの引用規格のうちで、西暦年を付記してあるものは、記載の年の版を適用し、その後の改正版には適用しない。付記がない引用規格は、その最新版を適用する。

JEITA ED-7300 半導体パッケージの外形規格作成に関する基本事項

JEITA ED-7302 集積回路パッケージデザインガイド作成マニュアル

JEITA ED-7303 集積回路パッケージの名称及びコード

JEITA TSC-16 電子情報技術産業協会規格類の作成基準

3 用語の定義

JEITA ED-7300 及び下記によるほか、新規の用語については本文中の定義による。

3.1

積層用単体パッケージ

プリント配線基板に表面実装できるように、パッケージ本体の実装面側に金属ボール又は金属ランドを一定の間隔で格子状に配置した外部端子と、外部端子の反対面にパッケージを搭載するための端子（ランド）を設けたパッケージ。FLGA 型の積層用単体パッケージは、キャビティダウン型 FBGA 上に積層することを想定したキャビティアップ型を規定している。

3.2

積層パッケージ

積層用単体パッケージを複数積層することにより構成されたパッケージ。ただし、最上段パッケージは、**JEITA EDR-7316** 等で規定された、上面にパッケージ搭載用の端子がない FBGA でもよい。ただし、この場合のスタンドオフに関しては本デザインガイドで規定する寸法を適用する。



Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-7333

**Design Guide for Stacked Packages
Fine-pitch Ball Grid Array and Fine-pitch Land Grid Array
(P-PFBGA and P-PFLGA)**

Established in May, 2008

Prepared by

Semiconductor Technology Committee
Semiconductor Product Technology Committee of Japan
Technical Committee on Semiconductor Packaging

Published by

Japan Electronics and Information Technology Industries Association

Chiyoda First Bldg. South Wing, 2-1, Nishikanda 3-chome, Chiyoda-ku, Tokyo, 101-0065, Japan

Printed in Japan

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2008 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

Forward

This standard has been prepared by the Subcommittee on Integrated Circuit Packages, Technical Committee on Semiconductor Packaging, Japan Electronics and Information Technology Industries Association (**JEITA**). This standard is a publication protected by copyright law and no part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

Attention is called to the possibility that some of the elements of this standard may be the subject of patent rights (patent, utility model, design, etc.). **JEITA** shall not be held responsible for identifying any or all such patent rights.

Technical Report of Electronic Industries Association of Japan

Design Guide for Stacked Packages Fine-pitch Ball Grid Array and Fine-pitch Land Grid Array (P-PFBGA and P-PFLGA)

1 Scope

This design guide defines the outline drawings and dimensions for stacked packages and individual stackable packages, which are categorized as FBGA or FLGA of Form-D in **JEITA ED-7300**.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document applies.

JEITA ED-7300, General rules for the preparation of outline drawings of semiconductor packages

JEITA ED-7302, Manual for preparation of design guides of integrated circuit packages

JEITA ED-7303, Names and codes for integrated circuit packages

JEITA TSC-16, Rules for the layout and drafting of **JEITA** Standards

3 Terminology

Terms are defined in this clause and **JEITA ED-7300**. Some new terms are also defined in the text of this document.

3.1

individual stackable package

a package with an array of metallic balls or lands on the underside of the package for the purpose of surface-mount on a printed circuit board and an array of footprints (lands) on the upper side of the package for stacking packages. The individual stackable cavity-up FLGA package is a part of this specification on the premise of stacking a cavity-down FBGA with cavity-up FLGA.

3.2

stacked package

an assembly of multiple individual stackable packages in a stacked configuration.

The top package can be a standard FBGA specified in **JEITA EDR-7316** without any footprints on the upper side of the package. The stand-off height of this standard package, however, shall follow this design guide.