

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

EIAJ EDR-7328

(旧 EIAJ ED-7405, ED-7405-1改正)

**集積回路パッケージデザインガイド
ジグザグインラインパッケージ (P-ZIP)**

**Design guideline of integrated circuits
for Plastic Zigzag Inline Package (P-ZIP)**

2001年9月制定

作 成

半導体パッケージ標準化委員会

Technical Standardization Committee on Semiconductor Device Package

発 行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

JEITA standards are established independently to any existing patents on the products, materials or processes they cover.

JEITA assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 2001 by the Japan Electronics and Information Technology Industries Association

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.

Technical Report of Japan and Information Technology Industries Association

Design guideline of integrated circuits

[Plastic Zigzag Inline Package (P-ZIP)]

1. SCOPE OF APPLICATION

This technical report regulates outline drawing and dimension of Plastic Zigzag Inline Package (hereinafter referred to as P-ZIP) whose terminal pitch e is 1.27mm, and Plastic Shrink Zigzag Inline Package (hereinafter referred to as P-SZIP) whose terminal pitch e is equal to or less than 0.889mm, among the package classified as form C in **EIAJ ED-7300** (Recommended practice on General Rule for preparing standard outline drawings (integrated circuits) of semiconductor devices).

Note This technical report is the revision version to have integrated two standards into which **EIAJ ED-7405** (P-ZIP) and **EIAJ ED-7405-1** (P-SZIP).

2. TERMS

The definition of the terms used in this technical report complies with **EIAJ ED-7300**. New terms define in the description of this report.

3. BACKGROUND

Recently, through hole type package P-ZIP with reduced print circuits board area were developed for small size electronics devices. This technical report intended to standardize the outer dimensions of P-ZIP, P-SZIP, and ensure compatibility between products. It shows the standard design values on concept of the design center as far as possible for standardization.

4. DEFINITION OF P-ZIP

P-ZIP classified as form C in item 6 "Outline classification of the semiconductor package" of **EIAJ ED-7300**, and define a package with through hole terminals which are led out of the longer side of itself in single direction and make a terminal two lines in alternately forming leads which are perpendicular to the surface of a print circuits board.

5. NUMBER OF TERMINALS

Number of terminals complies with the **EIAJ ED-7300**.

6. NOMINAL DIMENSIONS

The dimensions of package height \times package length (Symbol: $A_{2nom} \times D_{1nom}$) is applied to nominal dimensions.

電子情報技術産業協会技術レポート

集積回路パッケージデザインガイド ジグザグインラインパッケージ (P-ZIP)

Design guideline of integrated circuits
for Plastic Zigzag Inline Package (P-ZIP)

1. 適用範囲 この技術レポートは、EIAJ ED-7300 (半導体パッケージ外形規格作成に関する基本事項) でフォーム C として区分されているパッケージのうち、端子直線間隔 e が 1.27mm のプラスチックジグザグインラインパッケージ (以下、P-ZIP という。), 及び 0.889mm 以下のプラスチックシュリンクジグザグインラインパッケージ (以下、P-SZIP という。) の外形図及び寸法について規定する。

備考 この技術レポートは、EIAJ ED-7405 (P-ZIP) と EIAJ ED-7405-1 (P-SZIP) , 2つの規格を統合した改正版である。

2. 用語の定義 この技術レポートで用いる用語の定義は、EIAJ ED-7300 によるほか新規の用語については、本文中の定義による。

3. 沿革 近年の電子機器の小型化に対応して、基板占有率の小さいスルーホールタイプのパッケージ P-ZIP が登場した。この技術レポートは、P-ZIP, P-SZIP の外形寸法の標準化を図り、製品間の互換性を確保することを目的としている。各寸法の規定にあたっては、設計基準値、すなわちデザインセンタの概念を出来る限り示し、標準化の指標とすることを目的としている。

4. P-ZIP の定義 EIAJ ED-7300 の第6項“半導体パッケージの形状分類”で、フォーム C として分類され、プリント配線板のスルーホールに実装できるように、パッケージ本体の1辺から取り付け面に垂直に外部端子が突出しており、突出した外部端子を交互に折り曲げることで端子列を2列にして、その外部端子がプリント配線板に対して垂直となっているパッケージ。

5. 端子番号の付け方 EIAJ ED-7300 の規定による。

6. 呼び寸法 本体高さ×パッケージ長さ (照合文字: $A_{2nom} \times D_{1nom}$) を呼び寸法とする。