

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

EIAJ EDR-7323A

**集積回路パッケージデザインガイド
ピングリッドアレイ**

**Design guideline of integrated circuits for
Pin Grid Array
(PGA)**

1999年 5月 制定
2002年 6月 改正

作 成

半導体パッケージ標準化委員会

Technical Standardization Committee on Semiconductor Device Package

発 行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

JEITA standards are established independently to any existing patents on the products, materials or processes they cover.

JEITA assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 2002 by the Japan Electronics and Information Technology Industries Association

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.

Design guideline of integrated circuits for Pin Grid Array (PGA)

1. Scope of Application

This technical report regulated which among the packages classified as form D in the **EIAJ ED-7300** [Recommended practice on Standard for the preparation of outline drawings of semiconductor packages]. Pin Grid Array (hereinafter referred to as PGA) which is applied terminal pitch $\square = 2.54\text{mm}$ and Shrink pitch Pin Grid Array (hereinafter referred to as SPGA) which is applied 1.27mm, and the ceramic and plastic are main constituent in the package body material which excludes a terminal part. This technical report provides about those outline drawings and dimensions.

Note: This technical report is the revision version to have integrated the following two standards into. Also, correspond to this technical report, **EIAJ ED-7311-23** (Standard of integrated circuits package (PGA)) was established in June 2002, newly.

EIAJ ED-7408A (General rules for the preparation of outline drawings of integrated circuits, Pin Grid Array Packages) established in April 1998 and revised in February 1994.

EIAJ EDR-7323 (Design guideline of integrated circuits for Shrink pitch Pin Grid Array) established in May 1999.

2. Definition of the Technical Terms

The definition of the technical terms used in this technical report is in conformity with **EIAJ ED-7300**, and the definition of technical terms appearing a new are given within the text of this standard.

3. BACKGROUND

In recent years, it corresponds to the multifunction of the electronic equipment; the demand to the numerous pin package is increasing rapidly. It answers the demand, at first, PGA appeared that of terminal pitch $\square = 2.54\text{mm}$ (100mil), and which the pin insertion type to into the printed circuit board through hall. And it is possible to make more numerous pins, SPGA appeared that of terminal pitch $\square = 1.27\text{mm}$ (50mil), and which the surface mount type of the printed circuit board in the same way Quad Flat I – lead package (QFI). This standard intended to standardize the outer dimensions of PGA and ensure compatibility between products as far as possible for standardization.

4. Definition of PGA, SPGA

It calls with "PGA" in case of terminal pitch $\square = 2.54\text{mm}$ (100mil), and "SPGA" in case of terminal pitch $\square = 1.27\text{mm}$ (50mil). Form D with pin terminal in the item 7, "Outline classification of shapes of semiconductor package" at the **EIAJ ED-7300**. The package pin terminal which was arranged in pin grid array format, and it heads for the seating plane from the base plane of the package body, it be possible to mount to the printed circuit board.

C- (S)PGA The main constituent of the package body material which excludes a terminal part is a ceramic.

P- (S)PGA The main constituent of the package body material which excludes a terminal part is plastic.

IPGA Interstitial PGA, terminal arranges zigzag.

電子情報技術産業協会技術レポート

集積回路パッケージデザインガイド ピングリッドアレイ

Design guideline of integrated circuits for Pin Grid Array (PGA)

1. 適用範囲 この技術レポートは EIAJ ED-7300(半導体パッケージ外形規格作成に関わる基本事項) フォーム D として区分されるパッケージのうち、端子部を除くパッケージボディ材質がセラミック及びプラスチックが主体であり、端子直線間隔 $e = 2.54\text{mm}$ のピン グリッド アレイ(以下、PGA という。)及び $e = 1.27\text{mm}$ のシュリンクピッチピングリッドアレイ(以下、SPGA という。)の外形図及び寸法について規定する。

備考 この技術レポートは、以下の2つの規格を統合した改正版である。また、この技術レポートに対応して新たに EIAJ ED-7311-23(集積回路パッケージ個別規格(PGA))、2002年6月が制定された。

EIAJ ED-7408A(集積回路外形通則セラミックピングリッドアレイパッケージ(PGA))、

1988年10月制定、1994年2月改正

EIAJ EDR-7323(集積回路パッケージデザインガイドシュリンクピッチピングリッドアレイ

パッケージ(SPGA))、1999年5月改正

2. 用語の定義 この技術レポートで用いる用語の定義は、EIAJ ED-7300によるほか、新規の用語については、本文中の定義による。

3. 沿革 近年の電子機器の高機能化に対応して、多ピンパッケージに対する需要が急速に増加している。その需要に応え、当初、プリント配線板スルーホールに実装するピン挿入タイプで、端子直線間隔 e が 2.54mm (100mil)のPGAが登場した。さらに多ピン化が可能でクワッドフラットI-リードパッケージ(QFI)のようにプリント配線板の表面に実装するタイプで、端子直線間隔 e が 1.27mm (50mil)のSPGAも多用されるようになってきた。この技術レポートは、PGAの外形寸法の標準化を図り、製品間の互換性の指標とすることを目的としている。

4. PGA, SPGAの定義 端子直線間隔 $e = 2.54\text{mm}$ の場合“PGA”、 $e = 1.27\text{mm}$ の場合“SPGA”と呼称する。EIAJ ED-7300の第7項“半導体パッケージの形状分類”で、フォームDのピン端子として分類されるパッケージであり、プリント配線板に実装できるように、パッケージ本体のベース面よりパッケージの取付け面に向かってピン端子が格子状に配置されたパッケージ。

C-(S)PGA 端子部を除くパッケージボディ材質の主体がセラミック

P-(S)PGA 端子部を除くパッケージボディ材質の主体がプラスチック

IPGA インタースティシャルPGA、端子が千鳥配列