



日本電子機械工業会技術レポート

Technical Report of Electronic Industries Association of Japan

**EIAJ EDR-7322**  
(旧ED-7403-1改正)

**集積回路パッケージデザインガイド**  
**プラスチックデュアルインラインパッケージ**

**Design guideline of integrated circuits**  
**For Plastic Dual Inline Package**  
**(DIP)**

1999年4月制定

作 成

半導体パッケージ標準化委員会

Technical Standardization Committee on Semiconductor Device package

発 行

社団法人 日本電子機械工業会  
Electronic Industries Association of Japan

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

EIAJ standards are established independently to any existing patents on the products, materials or processes they cover.

EIAJ assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 1999 by the Electronic Industries Association of Japan

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.



**Design guideline of integrated circuits  
for Plastic Dual Inline Package  
(DIP)**

**1. SCOPE OF APPLICATION**

This technical report regulates outline drawings and dimensions of Plastic Dual Inline Package (hereinafter referred to as DIP) whose terminal pitch is 2.54mm, and Plastic Shrink Dual Inline Package (SDIP) whose terminal pitch is 1.778mm, among the packages classified as from B in **EIAJ EDR-7300** (Recommended practice on General Rule for preparing standard outline drawings (integrated circuits) of semiconductor devices)

**Note** This technical report is the revised edition of **EIAJ ED-7403-1**

**2. TERMS**

The definition of the terms used in this technical report complies with **EIAJ EDR-7300**. New terms define in the description of this report.

**3. BACKGROUND**

This technical report is intended to standardize the outer dimensions of DIP and SDIP, and ensure compatibility between products. It shows the standard design values on the concept of the design centers as far as possible for standardization.

**4. DEFINITION OF DIP**

DIP is classified as FORM B in the item 6 "Outline classification of the semiconductor package " of **EIAJ ED-7300**, and defined a package with formed terminals which are led out of the longer side of itself in two directions and which are perpendicular to the surface of a PCB.

**5. DESIGNATION OF THE PIN NUMBER**

Numbering of terminals complies with **EIAJ ED-7300**.

**6. NOMINAL DIMENSIONS**

The dimension of terminal in-line interval ( $e_1$ ) is applied to Nominal dimensions.

日本電子機械工業会技術レポート

## 集積回路パッケージデザインガイド プラスチックデュアルインラインパッケージ

**1. 適用範囲** この技術レポートは EIAJ ED-7300（半導体パッケージ外形規格作成に関する基本事項）でフォームBとして区分されるパッケージのうち、端子直線間隔  $e$  が 2.54 mm のデュアルインラインパッケージ（以下、DIPという。）及び 1.778 mm のシュリンクデュアルインラインパッケージ（以下、SDIPという。）の外形図及び寸法について規定する。

備考 この規格は ED-7403-1 の改定版である。

**2. 用語の定義** この技術レポートで用いる用語の定義は、EIAJ ED-7300 によるほか、新規の用語については、本文中の定義による。

**3. 沿革** この技術レポートは、DIP 及び SDIP の外形寸法の標準化を図り、製品間の互換性を確保することを目的としている。各寸法の規定にあたっては、設計基準値、すなわち、デザインセンタの概念を出来る限り示し、標準化の指標とすることを目指している。

**4. パッケージの定義** EIAJ ED-7300（半導体パッケージ外形規格作成に関する基本事項）の第6項“半導体パッケージの形状分類”で、フォームBとして分類され、プリント配線板のスルーホールに実装できるように、パッケージ本体から形成された端子が2方向に引き出され、かつ、その端子がプリント配線板に対して垂直になっているパッケージ。

**5. 端子番号の付け方** EIAJ ED-7300 の規定による。

**6. 呼び寸法** パッケージ端子列間隔の寸法（ $e_1$ ）を呼び寸法とする。