



日本電子機械工業会技術レポート

Technical Report of Electronic Industries Association of Japan

**EIAJ EDR-7313**

**集積回路パッケージデザインガイド  
薄形スモールアウトラインパッケージ(タイプII)**

**Design guideline of integrated circuits  
for Thin Small Outline Package (Type II)  
(TSOP(II))**

1996年4月制定

作 成

半導体パッケージ標準化委員会

Technical Standardization Committee on Semiconductor Device Package

発 行

社団法人 日本電子機械工業会

Electronic Industries Association of Japan

Translation without guarantee in the event of any doubt arising,  
the original standard in Japanese is to be evidence.

EIAJ standards are established independently to any existing patents  
on the products, materials or processes they cover.

EIAJ assumes absolutely no responsibility toward parties applying  
these standards or toward patent owners.

© 1996 by the Electronic Industries Association of Japan

All rights reserved. No part of this standards may be reproduced  
in any form or by any means without prior permission in writing  
from the publisher.



## **EIAJ Technical Report**

### **Design Guideline of Integrated Circuits for Thin Small Outline Package (Type II) (TSOP (II))**

#### **1. Scope of application**

This technical report applies to the outline drawings and dimensions of the thin small outline packages (type II) (hereinafter referred to as the TSOP (II)) which are classified as the form B under the EIAJ ED-7401A (Basic Items Related to the Rules for the Semiconductor Package Outline (Integrated circuits and Individual Semiconductors)).

#### **2. Terminology**

The terms used in this technical report shall conform to those defined in the EIAJ ED-7401A. The new terms not included therein shall be defined in the text of this report.

#### **3. History**

The "General Rules for the Outline of the Integrated Circuit" for the thin and small outline package (type II, hereinafter referred to as the TSOP (I)) was established as EIAJ ED-7402-3 in April, 1991 in order to cope with thin electronic equipment such as the memory card. However, since the leads were provided on the shorter side of the package with the TSOP (I), it was necessary to often increase the package size due to the electrode position of the LSI chip or size. Accordingly, the TSOP (II) was required in addition to the TSOP (I) that had the different lead outlet, which was established and issued as EIAJ ED-7402-4 in December, 1991.

This design guideline aims at the standardization of the outline dimensions to the fullest extent possible and to assure the compatibility among the respective products.

#### **4. Definition of the TSOP (I)**

A package that satisfies all the following requirements; the maximum mounting height of 1.20 mm, maximum linear distance of 1.27 mm between the pins, leads extending to the two directions from the longer sides of the package, and the leads with a flat surface extending toward outside to enable the SOJ bodysize package being mounted on the surface of the printed circuit board.

#### **5. Designation of the pin numbers**

The method to designate the pin numbers shall conform to the specifications included in the EIAJ ED-7401A.

#### **6. Nominal dimensions**

The width dimensions of the package (Reference codes: E) shall be used as the nominal dimensions in this technical report.

日本電子機械工業会技術レポート  
集積回路パッケージデザインガイド  
薄形スモールアウトラインパッケージ(タイプII)

Design guideline of integrated circuits  
for  
Thin Small Outline Packages (Type II)  
(TSOP (II))

1. 適用範囲 この技術レポートは、EIAJ ED-7401A [半導体パッケージ外形通則に関する基本事項(集積回路・個別半導体)] フォームBとして分類されるパッケージの薄形スモールアウトラインパッケージ(タイプII) (以下、TSOP(II)という。)の外形図及び寸法について規定する。
2. 用語の定義 この技術レポートで用いる用語の定義は、EIAJ ED-7401A によるほか、新規の用語については本文中の定義による。
3. 沿革 メモリカードなどの薄形電子機器に対応する薄形スモールアウトラインパッケージ(タイプII) (以下、TSOP(I)という。)の集積回路外形通則が EIAJ ED-7402-3 として1991年4月に制定されている。しかし、TSOP(I)はリード引き出し方向がパッケージ短辺側にあるため、LSIチップの電極位置、サイズによっては、パッケージサイズが大きくなるものがあった。このため、TSOP(I)以外にTSOP(I)とリード引き出し方向が異なるTSOP(II)が必要となり EIAJ ED-7402-4 として1991年12月に制定された。  
このデザインガイドは、外形寸法の標準化をできる限り図り、製品間の互換性を確保することを目的としている。
4. TSOP(II)の定義 取り付け高さ1.20mm以下、端子直線間隔1.27mm以下でプリント配線板の表面に実装できるように、パッケージ本体の長辺から2方向に成形されたリードが引き出され、かつパッケージ本体の外側で接合部のリードが外側に向かって平坦となっているSOJ ボディサイズのパッケージ。
5. 端子番号の付け方 端子番号の付け方は、EIAJ ED-7401A の規定による。
6. 呼び寸法 この技術レポートでは、パッケージ幅(照合文字:E)を呼び寸法とする。