



日本電子機械工業会技術レポート

Technical Report of Electronic Industries Association of Japan

EIAJ EDR-7312

**集積回路パッケージデザインガイド
薄形スモールアウトラインパッケージ(タイプI)**

**Design guideline of integrated circuits
for Thin Small Outline Package (Type I)
(TSOP(I))**

1996年4月制定

作 成

半導体パッケージ標準化委員会

Technical Standardization Committee on Semiconductor Device Package

発 行

社団法人 日本電子機械工業会

Electronic Industries Association of Japan

Translation without guarantee in the event of any doubt arising,
the original standard in Japanese is to be evidence.

EIAJ standards are established independently to any existing patents
on the products, materials or processes they cover.

EIAJ assumes absolutely no responsibility toward parties applying
these standards or toward patent owners.

© 1996 by the Electronic Industries Association of Japan

All rights reserved. No part of this standards may be reproduced
in any form or by any means without prior permission in writing
from the publisher.

EIAJ Technical Report

Design Guideline of Integrated Circuits for Thin Small Outline Packages (Type I) (TSOP (I))

1. Scope of application

This technical report applies to the outline drawings and dimensions of the thin small outline packages (type I) (hereinafter referred to as the TSOP (I)) which are classified as the form B under the EIAJ ED-7401A (Basic Items Related to the Rules for the Semiconductor Package Outline (Integrated circuits and Individual Semiconductors)).

2. Terminology

The terms used in this technical report shall conform to those defined in the EIAJ ED-7401A. The new terms not included therein shall be defined in the text of this report.

3. History

Recently, the outline and thickness of the integrated circuits for the memory application have been drastically reduced in order to cope with newly launched very thin electronic equipment such as the IC card. The general rules for the outline aim at promoting the standardization of the TSOP (I) dimensions and to assure the compatibility among them of which uses have been increased.

The design values, or the concept by the design center, are showed in the fullest extent possible in order to increase the role as the standardization index upon specifying the respective dimensions.

4. Definition of the TSOP (I)

A package that satisfies all the following requirements; the maximum mounting height of 1.20 mm, maximum linear distance of 0.80 mm between the pins, leads extending to the two directions from the shorter sides of the package, and the leads with a flat surface extending toward outside to enable the package being mounted on the surface of the printed circuit board.

5. Designation of the pin numbers

The method to designate the pin numbers shall conform to the specifications included in the EIAJ ED-7401A.

6. Nominal dimensions

The outermost dimensions of the package (Reference codes: E x ED) shall be used as the nominal dimensions in this technical report.

日本電子機械工業会技術レポート
集積回路パッケージデザインガイド
薄形スモールアウトラインパッケージ(タイプI)

Design guideline of integrated circuits
for
Thin Small Outline Package (Type I)
(TSOP (I))

1. 適用範囲 この技術レポートは、EIAJ ED-7401A [半導体パッケージ外形通則に関する基本事項(集積回路・個別半導体)] フォームBとして分類されるパッケージの薄形スモールアウトラインパッケージ(タイプI)(以下、TSOP(I)という。)の外形図及び寸法について規定する。
2. 用語の定義 この技術レポートで用いる用語の定義は、EIAJ ED-7401A によるほか、新規の用語については本文中の定義による。
3. 沿革 近年、ICカードなどの超薄形電子機器の出現によってメモリ用集積回路外形も超小形化、薄形化されてきている。この外形通則は、使用頻度が高まってきたTSOP(I)寸法の標準化を推進し、それらの互換性を確保することを目的としている。
各寸法の規定にあたっては、設計標準値、すなわちデザインセンタの概念をできる限り示し、標準化指標としての役割を高めることを目指している。
4. TSOP(I)の定義 取り付け高さ1.20mm以下、端子直線間隔0.80mm以下でプリント配線板の表面に実装できるように、パッケージ本体の短辺から2方向に成形されたリードが引き出され、かつパッケージ本体の外側で接合部のリードが外側に向かって平坦となっているパッケージ。
5. 端子番号の付け方 端子番号の付け方は、EIAJ ED-7401A の規定による。
6. 呼び寸法 この技術レポートでは、パッケージ最外(照合文字:E×HD)を呼び寸法とする。