

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-4717

半導体デバイス信頼性用語集 Glossary of Semiconductor Device Reliability Terms

2023年7月制定

作成

半導体信頼性技術委員会

Semiconductor Reliability Technical Committee

発行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

目 次

	ページ
1 経緯	1
2 適用範囲	1
3 信頼性物理 (Reliability Physics)	1
3.1 故障モード (Failure Modes)	1
3.2 故障メカニズム (Failure Mechanisms)	2
3.2.1 パッケージ部の故障メカニズム (Failure Mechanisms at Package)	2
3.2.2 チップ部の故障メカニズム (Failure Mechanisms at Chips)	6
3.2.3 パワーデバイス固有の故障メカニズム (Power Device Specific Failure Mechanisms)	10
3.3 故障解析 (Failure Analysis)	13
3.3.1 故障解析の最初の段階 (First Steps of Failure Analysis)	13
3.3.2 パッケージ部の故障解析手法 (Failure Analysis Techniques at Packages)	14
3.3.3 チップ部の故障解析手法 (Failure Analysis Techniques at Chips)	15
3.4 加速寿命試験 (Accelerated Life Test) と寿命予測 (Lifetime Prediction)	21
4 数理統計 (Mathematical Statistics)	24
4.1 寿命分布 (Life Distributions)	24
4.1.1 連続分布 (Continuous Distributions)	24
4.1.2 離散分布 (Discrete Distributions)	26
4.2 信頼性の定量的表現など (Quantitative Expression of Reliability etc.)	27
4.2.1 信頼性特性値 (Reliability Characteristic Values)	29
4.2.2 パーセント点 (Percentile)	29
4.2.3 その他の信頼性用語 (Other Reliability Terms)	30
4.3 信頼性データ解析 (Reliability Data Analysis)	31
4.3.1 信頼性データの種類 (Types of Reliability Data)	31
4.3.2 確率プロット (Probability Plots)	33
4.3.3 累積ハザード法 (Cumulative Hazard Method)	35
4.3.4 最尤推定法と統計モデル (Maximum Likelihood Method and Statistical Models)	36
5 その他の基本用語 (Other Basic Terms)	39
6 用語索引	41
7 審議委員	49

電子情報技術産業協会技術レポート

半導体デバイス信頼性用語集

Glossary of Semiconductor Device Reliability Terms

1 経緯

半導体信頼性技術委員会内部でかねてから「信頼性の用語に乱れが散見される」との意見が聞かれた。例えば、「累積故障確率」と言うべきところを「累積故障率」というのがその代表例である。このような用語の乱れを正すために「半導体信頼性技術委員会」傘下に「信頼性用語策定タスクフォース」を立ち上げ、「半導体信頼性用語集」を作成することとし、「半導体信頼性技術委員会」のメンバーから参加者を募った。当初、2019年6月から1年程度でまとめる予定であったが、議論が白熱し思いのほか時間がかかり、今回やっと発刊の運びとなった。

2 適用範囲

半導体デバイスに対する信頼性関連用語を対象とする。

3 信頼性物理 (Reliability Physics)

※一般的 (JIS の定義) には、Failure = 「機能 (要求どおり実行する能力) を失うこと」であるが、半導体用語として、Failure = 「不良」と表現する場合がある。

3.1 故障モード (Failure Modes)

●ファンクション不良 (Function Failure)

IC (集積回路) の機能試験 (Function Test) において、仕様で定義された条件で要求された特性や性能を満たさない不良 (Failure) と判定される現象及び／又は状態。

IC (集積回路) には、デジタル処理 (演算回路、メモリ回路)、アナログ処理 (回路) などの処理を行う機能ブロックがある。機能試験では、入力状態を印加し、出力が期待値どおりであることを確認する (仕様どおりに正しく動作することを確認する)。

アナログ／ミックスシグナル回路では、連続値である電圧や電流の連続信号として扱われる回路仕様を満たすことを確認する。

テストには、テスターで評価される DC テスト、AC テスト及び、実動作速度テスト (At-Speed Test) があり、実動作速度テストは製品の動作速度において、仕様どおりに動作することを検証する方法である。

● I_{DDQ} 不良 (Quiescent Power Supply Current Failure)

CMOS 回路の静止時に、わずかな電流しか流れない性質を利用して、正常回路では流れない電源電流のリークを比較検出するテスト方法で検出される状態、又はこの状態に起因して故障に至る現象又は状態。

I_{DDQ} テストは CMOS 回路であれば、電源電流は、クロック信号に同期して論理の切り替わりに生じる過渡電流 (Transient Current) と、論理が準静的状態での電源電流 (I_{DDQ}) に分けられる。 I_{DDQ} は、正常であれば小さいが、欠陥があれば大きな電流値となる。これを I_{DDQ} 異常 (Abnormal I_{DDQ}) と呼び、故障を知らせるシグナルとして検出する。

検出される故障は、主に配線系の故障となり、ビアオープンや隣接間ショートなどや、複合故障も検出できる。