

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-4710

半導体取り扱いとESD耐量適正化の ガイドライン

**Guidelines for Handling and ESD Target Levels
of Semiconductor Devices**

2015年2月制定

作 成

半導体信頼性技術小委員会

Technical Committee on Semiconductor Reliability

発 行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2015 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

Contents

	Page
1 Objectives and scopes of ESD tests	5
2 Current situation of ESD protection design	9
3 Device ESD withstand target levels required from viewpoint of relationship between the real ESD and the ESD tests	17
4 ESD Control methodology	59
5 Effects of reduction of ESD failure voltage	75
6 Recommended ESD breakdown voltage target	97
7 Deliberative members	99

目 次

1	ESD 試験の目的と適用範囲について	6
2	ESD 保護設計の現状について	10
3	実際の放電現象と ESD 試験の関係からみたデバイスの耐量基準について	18
4	ESD 管理方法について	60
5	ESD 耐量基準を低減させた場合の影響について	76
6	推奨する耐量適正条件	98
7	審議委員	100

Technical Report of Japan Electronics and Information Technology Industries Association

Guidelines for Handling and ESD target levels of Semiconductor Devices

Introduction

ESD (electrostatic discharge) control for semiconductor devices is measured to prevent ESD breakdown in the production process (especially assembly, test and shipping) of semiconductor supplier and the assembly process of electronic devices of semiconductor device users (hereinafter referred to the “semiconductor handling processes”).

For the ESD phenomena in the semiconductor handling processes, therefore, semiconductor suppliers had conducted ESD tests for the three models (HBM [Human Body Model], CDM [Charged Device Model], and MM [Machine Model]) and designed semiconductor devices so that they would not be failed by target condition of each ESD models.

In the semiconductor handling processes, on the other hand, ESD control is applied based on the descriptions of **IEC 61340-5-1** and such standards as **RCJS-5-1** that are based thereon.

As above, semiconductor suppliers have deeply designed semiconductor devices not to fail by ESD target level and controlled the handling processes to eliminate failure caused by ESD.

However, there are some problems as follows:

- (1) While semiconductor devices downsizing is still progressing, various ESD protection design are proposed to meet ESD target level. On the other hand, the certain protection device area is required to not to fail in the point of breakdown energy consideration for ESD. Therefore, this has interrupted the semiconductor devices downsizing since the 130-90 nm generation (since 2000 or so).
- (2) Taking into consideration the ESD phenomena in the semiconductor handling processes, the target level for the actual ESD tests are excessive. In particular, the MM is inappropriate as the ESD test. In addition, it is necessary to mitigate the target level for the HBM and the CDM.
- (3) It has been clarified that if the basic ESD control is performed in the semiconductor handling processes, no problem should result from lowering the ESD target levels. No evident relationship is found between the market failure return rate and the ESD breakdown voltage.
- (4) In the background, the EOS (electrical overstress) failure is confused with the ESD failure, and it is wrongly understood that this failure is caused by the low ESD breakdown voltage. This is why the current ESD test models and the ESD target level have been maintained.

Under these circumstances, the **JEDEC**-related semiconductor suppliers, including the United States, have immediately started reviews, such as mitigation of the ESD target level, and this is one of the reasons why the Japanese semiconductor suppliers, who still conform to the conventional ESD target level, lose competitiveness.

These Guidelines first describe the ESD phenomena occurring with the semiconductor processes, their mechanisms, and the differences from the EOS failure. It then describes the details of the above-mentioned four problems and lastly proposes the optimum ESD control conditions and the ESD target levels based thereon.

電子情報技術産業協会技術レポート

半導体取り扱いと ESD 耐量適正化のガイドライン

Guidelines for Handling and ESD target levels of Semiconductor Devices

はじめに

半導体デバイスの ESD (Electrostatic Discharge : 静電気放電) 対策は、半導体デバイス出荷までの生産工程及び半導体ユーザでの電子機器の生産工程 (以後、半導体の取り扱い工程と呼ぶ) における ESD 破壊を防ぐことを目的としている。そのため、半導体の取り扱い工程での ESD 現象に対して、HBM (Human Body Model : 人体モデル) , CDM (Charged Device Model : デバイス帯電モデル) , MM (Machine Model : マシンモデル) の 3 つの ESD 試験を行い、それぞれに設定された耐量基準で破壊しないように設計を行ってきた。

一方、半導体の取り扱い工程では、IEC 61340-5-1 とそれに準拠している RCJS5-1 等で規定されている内容に従って静電気管理をしている。

このように設計による ESD 耐量の確保と取り扱い工程での静電気管理の双方によって、ESD 起因の破壊を無くす活動を行ってきた。

しかしながら、以下に示すいくつかの問題に直面している。

- (1) デバイスの微細化が進む中、様々な ESD 保護素子が提案されているが、目標となる ESD 耐量のエネルギーで半導体デバイスを破壊しないよう保護するために、ESD 保護素子は一定の面積が必要で、130 ~ 90nm 世代以降 (およそ 2000 年頃) からダイサイズ縮小の障害となっている。
- (2) 半導体の取り扱い工程における ESD 事象を考慮すると、現状の ESD 試験の耐量基準は過剰である。特に、MM は ESD 試験としては適切ではない。また、HBM と CDM の耐量基準は緩和する必要がある。
- (3) 半導体の取り扱い工程にて基本的な ESD 管理が行われていれば、ESD 耐量を下げても問題ないことが分かってきた。また、市場故障返品率と ESD 耐量に明確な相関が見られない。
- (4) これらの背景には、EOS (Electrical Over Stress : 電氣的オーバーストレス) 破壊が ESD 破壊と混同され、ESD 耐量が低いため起こっているとの誤解から、現状の ESD 試験モデルと ESD 耐量基準が今日まで維持されている。

このような状況の中、米国を初めとする JEDEC に関連する半導体サプライヤはいち早く ESD 耐量基準低減等の見直しを行っており、従来からの ESD 耐量基準に従っている日本の半導体サプライヤが競争力を失う原因の一つとなっている。

本ガイドラインは、まず最初に半導体工程内で発生する ESD 事象とメカニズム・EOS との違いを述べる。続いて上記 4 つの問題の詳細を解説し、最後に適正な ESD 管理条件内容とそれに応じた ESD 耐量の適正値を提言する。