JEITA

電子情報技術産業協会技術レポート
Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-4709A

システムレベルESDに対応した半導体のESD試験方法検討とシステムへの半導体部品実装方法，取り扱いガイドライン

Study on ESD Test Methods for Semiconductor Components Responding to System Level ESD and Guideline for Assembling on System Boards

2012 年 7 月制定
2019 年 11 月改正

作　成
半導体信頼性技術委員会
Semiconductor Reliability Technical Committee

発　行
一般社団法人 電子情報技術産業協会
Japan Electronics and Information Technology Industries Association

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

Ⓒ JEITA :2019 - Copyright - all reserved
No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

Table of Contents

page

1 Introduction 1
2 Purpose 3
3 Scope of application 3
4 Reference standards and white papers 3
5 Terms and definitions 5
6 System level ESD test 11
6.1 ESD gun 11
6.2 Differences between contact discharge and air discharge 13
6.3 Indirect discharge 13
6.4 Failure cause analysis of semiconductor components in the field of system product and during system level ESD test 15
6.5 ESD events and semiconductor component failure modes in the semiconductor components user's module/application assembly process and the field environment 17
7 ESD test for semiconductor components 19
7.1 ESD test circuits 21
7.2 ESD levels 23
7.3 Response to requirements and qualification test from semiconductor component users 25
8 Study on test methods for semiconductor components targeting system level ESD 27
8.1 Semiconductor component level latch-up test 27
8.2 Soft failure and latch-up phenomenon due to ESD 29
8.3 Classification of latch-up mechanisms 31
8.4 Issues in latch-up immunity 35
8.5 Semiconductor component test methods responding to system level ESD 37
9 Guides of board circuit and design for semiconductor components 41
9.1 Cautions for handling semiconductor components 41
10 SEED design and ESD protection for boards 41
10.1 Basic principles of the ESD protection circuit 41
10.2 On-board ESD protection elements 41
10.3 SEED design 45
11 Deliberative members 51
APPENDIX 53

目　次

ページ

1　序文 …… 2
2　目的 …… 4
3　適用範囲 …… 4
4　引用規格と white papers …… 4
5　用語，定義 …… 6
6　システムレベル ESD 試験 …… 12
6.1　ESD ガン …… 12
6.2　接触放電と気中放電の違い …… 14
6.3　間接放電 …… 14
6.4　電子機器市場，システムレベル ESD 試験における半導体部品の故障分析 …… 16
6.5　半導体部品ユーザの module/application 組み立て工程，市場環境における ESD 現象と故障内容 …… 18
7　半導体部品 ESD 試験 …… 20
7.1　ESD 試験の放電回路 …… 22
7.2　ESD 耐性（静電破壊耐量） …… 24
7.3　半導体部品ユーザ認定試験・要求事項への対応 …… 26
8　システムレベル ESD に対応した半導体部品試験方法の検討 …… 28
8.1　半導体部品レベルのラッチアップ試験 …… 28
8.2　ESD による誤動作とラッチアップ現象 …… 30
8.3　ラッチアップ発生メカニズムの分類 …… 32
8.4　ラッチアップ耐性の課題 …… 36
8.5　システムレベル ESD に対応した半導体部品試験方法 …… 38
9　半導体部品の実装 …… 42
9.1　半導体部品ハンドリング時の注意事項 …… 42
10　ボードでの ESD 対策，SEED 設計 …… 42
10.1　ESD 保護回路のコンセプト …… 42
10.2　ボードにおける ESD 保護素子の適用と効果 …… 42
10.3　SEED 設計 …… 46
11　審議委員 …… 52
附属書 …… 54

Technical Report of Japan Electronics and Information Technology Industries Association

Study on ESD Test Methods for Semiconductor Components Responding to System Level ESD and Guideline for Assembling on System Boards

1 Introduction

Today, demands for application of the system level ESD test standard (**IEC 61000-4-2**) to semiconductor components have been increasing. Immunity of semiconductor components against electrostatic discharge ("ESD") has been evaluated in the electrostatic discharge tests ("ESD test") prescribed in **JEITA ED-4701/302** and other standards. These tests assume the ESD that is applied during non powered handling until semiconductor components are mounted on circuit boards, and the immunity responds to the ESD during assembling process in the ESD protected area (EPA), which is designed for semiconductor component handling. In addition, while the ESD tests set forth the inspection methods for ESD immunity of semiconductor components, they do not specify the necessary immunity against ESD which may occur during assembling process by semiconductor component users that is not within the EPA areas or in the field.

In contrast, system level ESD tests assume system errors caused by ESD during power on and use of electronic equipment, and they are standardized as one of the immunity tests against electromagnetic interference (EMI) in the field. For this reason, semiconductor component users treat the ESD immunity of semiconductor components as reliability test data necessary for certification of semiconductor components to be used in their electronic equipments.

Demands for application of system level ESD test standards to semiconductor components have been increasing today, probably because these ESD test standards that have different purposes are handled similarly. However, semiconductor components are subjected to excessive stress from a system level ESD test, and moreover, there is concern about misconceived evaluations of ESD immunity by semiconductor component users. Misconceived evaluations hinder further development of semiconductor components (e.g. higher level integration, enhanced functionality).

Both semiconductor component suppliers and users conduct various immunity tests to improve field quality of electronic equipment. Both parties need to propose useful test methods to each other for common purposes, and eliminate demands for excessive tests. This guideline was created to domestically and internationally propose ESD tests for semiconductor components that respond to failures of electronic equipment, and circuit design and assembling methods that are necessary to integrate semiconductor components.

The similar activity to this exists worldwide and more extensive and comprehensive examinations regarding the ESD levels of the semiconductor component levels and the countermeasures to the system level ESD test are being done. (Refer to the **JEDEC white paper** in Chapter **4**.)

電子情報技術産業協会技術レポート

システムレベル ESD に対応した半導体の ESD 試験方法検討とシステムへの半導体部品実装方法，取り扱いガイドライン

Study on ESD Test Methods for Semiconductor Components Responding to System Level ESD and Guideline for Assembling on System Boards

1　序文

近年，半導体部品に対し，システムレベル ESD 試験規格（**IEC 61000-4-2**）の適用を要求する事例が増えている。半導体部品の静電気放電（以下，ESD）に対する耐性は **JEITA ED-4701/302** 等に規定された静電破壊試験（以下，ESD 試験）で評価されている。これらは半導体部品が回路基板（ボード）に実装されるまでの非通電のハンドリング中に印加される ESD を想定しており，その耐性は，半導体部品の取り扱いを目的とする，静電気管理区域（EPA）内の実装工程 ESD に対応する。また，ESD 試験は，半導体部品の ESD 耐性の検査方法を規定しており，非 EPA 領域にある半導体部品ユーザの実装工程や市場の ESD に対して必要な耐性を規定したものではない。

一方，システムレベル ESD 試験は，電子機器の通電，使用過程の，ESD による誤動作を想定したもので，市場の電磁妨害（EMC）に対する耐性（イミュニティ）試験の一つとして規格化されている。そのため，半導体部品ユーザは，半導体部品の ESD 耐性を，電子機器に実装する半導体部品の認定に必要な信頼性試験データとして扱っている。

近年の半導体部品に対する，システムレベル ESD 試験規格の適用要求の増加は，目的の違うこれらの ESD 試験規格を同列に扱うことで生じていると考えられる。半導体部品にとって，システムレベル ESD 試験は過大なストレスであり，半導体部品ユーザが ESD 耐性の評価を誤ることが懸念される。誤った評価は高集積化，高機能化など半導体部品の進化を妨げる。

各種耐性試験を行う目的は，半導体部品サプライヤ，ユーザともに電子機器の市場品質向上である。共通の目的に対し，両者がお互いに有益な試験方法を提案し，過剰試験の要求をなくす必要がある。本ガイドラインは，電子機器の故障に対応する半導体部品 ESD 試験，及び，半導体部品組込みに必要な回路設計，実装方法を国内外に提案するために作成された。

世界的に同様な動きがあり，半導体部品の ESD 耐性とシステムレベル ESD 試験における故障と対策に関するより詳細な調査研究がなされている。（**4** 章の **JEDEC white paper** 参照）