

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-4707A

LSIの故障メカニズム及び 試験方法に関する調査報告

Report on Failure Mechanism of LSI and reliability test method

2008年3月制定

2018年2月改正

作 成

半導体信頼性技術委員会

Semiconductor Reliability Technical Committee

発 行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

「LSI の故障メカニズム及び試験方法に関する調査報告」(参考資料)

本レポート作成の背景

JEITA 故障メカニズムプロジェクト (PG) では、故障メカニズムに基づく信頼性試験の国内標準化を進め、さらに、JEDEC や IEC に提案し世界標準化を進めている。

2000 年 5 月に代表的な五つの故障メカニズム [エレクトロマイグレーション、ホットキャリア劣化、酸化膜の経時絶縁破壊 (TDDB)、バイアス温度安定性 (BT)、ソフトエラー] について標準化し (EIAJ ED-4704)、2001 年 10 月にストレスマイグレーションの標準化を行い (EIAJ ED-4704-1) それらを JEDEC/IEC に提案、規格化を行った。

規格の背景としてメカニズムや物理的背景の説明を行うため、2008 年 3 月に参考資料「JEITA EDR-4707 “LSI の故障メカニズム及び試験方法に関する調査報告”」をまとめた。規格ができた理由や狙いを理解すること、現状は規格にまではされていないが将来、規格化される可能性に備えることは非常に重要だからである。現に、配線 TDDB の試験方法を JEITA から IEC に提案し 2010 年に規格化されている。Fast-BTI 測定法は JEDEC とのすり合わせを行い、2018 年 2 月現在 IEC へ規格化提案している。

本参考資料は前版の発行から 10 年過ぎようとしている。LSI の微細化は進んでいる。物理として依然変わらないものもあるが、High- k 材料の採用、また、FinFET など新たな構造が採用され新たな現象やモデルも登場している。新しい現象、新しい寿命モデルを整理する必要があった。評価基準も今後とも改定、新たな作成が必要になってくると考えており、故障メカニズム PG ではその対応のため学会動向を調査してきた。2018 年 3 月現在の調査活動をここにまとめることができた。

今後とも半導体ユーザーの高い高信頼性要求に貢献できるよう調査活動を続けていく。

本レポートの目的

本書の目的は三つある。

- 1) 学会の動向調査結果の報告
- 2) 最近の動向も含め改定した寿命モデルと活性化エネルギー表の提示
- 3) TEG の評価結果を製品評価へ換算する方法を報告する。

目 次

ページ

1 学会の動向調査結果の報告	1
1.1 ホットキャリア注入劣化	1
1.2 BTI (Bias Temperature Instability)	16
1.3 TDDB (Time Dependent Dielectric Breakdown)	32
1.4 エレクトロマイグレーション (Electromigration)	46
1.5 ストレスマイグレーション (Stressmigration)	55
1.6 配線間 (Inter Metal Dielectric layer : IMD) の TDDB ~Cu 拡散による影響~	65
2 劣化モデルと活性化エネルギー	75
2.1 温度依存	75
2.2 ホットキャリア	75
2.3 BTI (Bias Temperature Instability)	77
2.4 イオン汚染	77
2.5 TDDB (Time Dependent Dielectric Breakdown)	78
2.6 エレクトロマイグレーション	79
2.7 ストレスマイグレーション	79
2.8 配線間 TDDB	80
2.9 コロージョン	81
2.10 活性化エネルギー表	82
3 Unit TEG データの製品保証への換算について	86
3.1 概要	86
3.2 直列系換算	86
3.3 実施例	87
4 審議委員	89

電子情報技術産業協会技術レポート

LSI の故障メカニズム及び試験方法に関する調査報告

Report on Failure Mechanism of LSI and reliability test method

1 学会の動向調査結果の報告

本章では、各信頼性故障モードに対する基本と最新の動向調査結果をまとめる。プロセスの微細化が進むとプロセスの加工精度の他、デバイス構成材料の物性やデバイスの構造そのものが技術的な障壁となり、微細化が材料・構造の変更を伴うことがある。ただし、新材料・新構造は、その加工技術の確立を新たに必要とするだけでなく、従来、問題にはならなかった故障メカニズムを発現させるリスクをもつため、適用に際しては注意を払う必要がある。例えば、配線 TDDB の故障メカニズムの一つである配線金属のイオン析出は、配線材料を Al からより低抵抗な Cu に変更したことにより生じたものである。

最先端のプロセスにおいては、さらなる微細化に伴う技術課題への対応のため、MOSFET の材料・構造の変更も行われてきた。代表的な事例としては、ゲート絶縁膜の High- k 化による薄膜化の抑制（ゲートリークの低減）や、プレーナ構造から三次元構造（FinFET 等）への変更による反転層の制御性向上（デバイス特性の向上）などが挙げられる。High- k や FinFET に対する信頼性や故障メカニズムについては学会等でも活発な議論がなされていることから、これらに関し新規性が高い、もしくは評価を行う上で注意が必要なものについては、各故障モードの説明の中でその詳細を紹介する。

1.1 ホットキャリア注入劣化

1.1.1 概要

ホットキャリアとは大きな電界によって加速されることで通常よりも高いエネルギーをもった電子（Hot Electron）、又は正孔（Hot Hole）のことであり、MOSFET の場合、動作時に主にドレイン近傍で発生し、酸化膜への注入 [Hot Carrier Injection (HCI)] や Si/SiO₂ 界面での界面準位形成により信頼性上の問題を引き起こす。これがホットキャリア注入劣化である。

MOSFET に与える影響として、相互コンダクタンス (G_m)、しきい値電圧 (V_{th})、ドレイン電流 (I_{DS}) の変動、高耐圧品ではオン抵抗 (R_{on}) の上昇等が挙げられる。これらによりデジタル回路の場合は動作上タイミングマージンの低下をもたらす、結果として出力信号の遅延、貫通電流の増加、ノイズマージンの減少等を引き起こす。特性変動に敏感なアナログ回路の場合、さらに、深刻な影響が出ることもあり得る。

図 1.1-1 には最も単純なデジタル回路の例として CMOS インバータ入出力電圧の動作波形と、ホットキャリアを発生させる電流の時間依存の概念図を示す^[1]。図中、各状態での劣化モードを記載している。別項で述べる NBTI、PBTI が電流の流れない電位確定状態での劣化であるのに対し、ホットキャリア劣化は主に充放電電流及び貫通電流が流れる過渡状態（遷移時間）で起こる。貫通電流を除けば、入力電圧の立ち上がり時には負荷容量からの放電に伴い NMOS のソース・ドレイン間に電子電流が流れるので、NMOS にホットキャリア劣化が発生する。一方、入力電圧の立ち下がり時には負荷容量の充電に伴い PMOS のソース・ドレイン間に正孔電流が流れるので、PMOS にホットキャリア劣化が発生する。実際の波形は周波数の上昇に伴い鈍るので、ホットキャリアと BTI の両方が発生する領域の割合は顕著となる。