

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

EIAJ EDR - 4706

FLASHメモリの信頼性ガイドライン

Guide for the Reliability Specification of FLASH Memory

2006年1月制定

作成

半導体標準化委員会

Technical Standardization Committee on Semiconductor Devices

発行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

JEITA standards are established independently to any existing patents on the products, materials or processes they cover.

JEITA assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 2006 by the Japan Electronics and Information Technology Industries Association

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.

CONTENTS

1. Scope	1
2. Overview	1
3. Reliability concerns	1
3.1 Programming and erasure mechanisms of flash memory	1
3.2 Data retention	3
3.3 Disturbs	3
4. Reliability testing methodology for flash memory	5
4.1 Endurance	5
4.2 Data retention bake stress	7
4.3 Read disturb	9
4.4 Program disturb	11
5. Definition of failye	11
6. Determining application conditions	11
6.1 Use environmental temperature	11
6.2 Frequency of data rewrites	11
7. Reliability descriptions	13
7.1 Retention specification after the maximum specified number of programming cycles	13
7.2 Retention specification as a function of endurance cycles	15
8. Prediction of the device reliability	17
8.1 Estimating the field lifetime from the accelerated test results	17
8.2 Extrapolating from the measurements of memory cells to the device endurance	17
9. How to achieve higher endurance	19
10. Example of a reliability datasheet	21
Explanatory notes	23

目 次

1. 適用範囲	2
2. 概 要	2
3. 信頼性上の問題	2
3.1 FLASH メモリの書き換え動作	2
3.2 データ保持信頼性	4
3.3 被ディスタープ信頼性	4
4. FLASH メモリの信頼性試験	6
4.1 書き換え試験	6
4.2 データ保持試験	8
4.3 リード・ディスタープ試験	10
4.4 プログラム・ディスタープ試験	12
5. 故障の定義	12
6. 実使用環境の想定	12
6.1 実使用温度環境の想定	12
6.2 書き換え頻度の想定	12
7. 信頼性表示の方法	14
7.1 書き換え仕様回数を書き換え後にデータ保持期間を確認	14
7.2 書き換え回数に応じてデータ保持期間を確認	16
8. 信頼性データの統計処理	18
8.1 温度加速試験で所望の耐用年数を確認した結果を用いる	18
8.2 FLASH メモリアレーで評価を行った結果から実デバイスの信頼性を統計的に推定する	18
9. 長寿命化への留意点	20
10. 信頼性表示例	22
解 説	24

Guide for the Reliability Specification of FLASH Memory

1. Scope

This guide applies to the reliability specifications and descriptions of flash memory.

2. Overview

Flash memory is based on the fundamental mechanism of an electron that passes through a silicon oxide layer to rewrite the data. The device is subject to dielectric deterioration due to repetitive program/erase cycles and eventually fails to work. This deterioration of the silicon oxide layer affects the quality of flash data and may degrade the data retention with accumulated program/erase cycles, even before the onset of endurance wear-out.

The purpose of this guide is to provide a consistent framework for reliability specifications for flash memory, and to propose the assurance models indicating the relationship between the specification of endurance cycles and those of data retention and disturbs.

3. Reliability concerns

This section describes causes of reliability deterioration of the device. Major reliability concerns for flash memory are the endurance, data retention and disturbs. Any of these failure mechanisms is due to the degradation of oxide layer damaged during the transfer of electrons on and from the floating gate, i.e., tunneling through dielectric layers.

3.1 Programming and erasure mechanisms of flash memory

Figure 1 shows typical biasing conditions of DINIR flash memory during programming and erasure. This guideline explains DINOR type FLASH to an example as a general example. Even if the architecture differs, the fundamental reliability subject is common. Both programming and erasure operation cause electrons to pass through the gate oxide, degrading the quality of oxide layer in proportion to the number of program/erase cycles. Rewriting the data damages the oxide layer and degrades the insulation property between floating gate and silicon substrate, which leads to the reliability failures such as data retention wear-out and enhancing disturbs.

FLASHメモリの信頼性ガイドライン

Guide for the Reliability Specification of FLASH Memory

1. **適用範囲** このガイドラインは、FLASHメモリの信頼性表示方法について規定する。

2. **概要** FLASHメモリには種々のタイプがあるが、浮遊電極に電荷をやり取りすることによってデータを書き換えする不揮発性メモリとして、優れた書き換え・データ保持特性を有している。この高い信頼性はトンネル酸化膜の高誘電性に起因するところが大きい。しかしながら、トンネル酸化膜に電子を透過させてデータの書き換えを行うという構造上、ある回数以上の書き換えの繰り返しによってトンネル酸化膜が劣化し、いずれ寿命に至る。特に、データ保持特性は、保持開始前の書き換え回数に強く依存する。

本ガイドラインではFLASHメモリの書き換え回数の保証値とデータ保持、ディスタープ耐性の保証値の関係を明示する手段を示し、FLASHメモリの信頼性表示を統一した考え方のもとで行えるようにすることを目的とする。

3. **信頼性上の問題** 以下に信頼性を低下させる要因について解説をする。FLASHメモリの信頼性は主に耐書き換え性、データ保持寿命、被ディスタープ耐性によって代表される。いずれの故障メカニズムもトンネル酸化膜に電子を透過させることによって生じるトンネル酸化膜質の劣化に起因している。

3.1 **FLASHメモリの書き換え動作** 図1にDINOR型FLASHメモリの書き換え動作の一例を示す。FLASHメモリには様々なアーキテクチャがあるが、本ガイドラインでは一般的な例としてDINOR型FLASHを例に解説を行う。アーキテクチャが異なっても、基本的な信頼性課題は共通である。

FLASHメモリは消去時、書き込み時ともに浮遊電極下のトンネル酸化膜に電子を透過させて書き換えを行うため、書き換え回数に比例してトンネル酸化膜の信頼性は低下する。FLASHメモリはトンネル酸化膜を壊しながら書き換えをすることも過言ではなく、書き換えによるトンネル酸化膜の劣化は浮遊電極とシリコン基板の絶縁性を低下させ、データ保持寿命の低下、被ディスタープ耐性の低下といった信頼性問題を引き起こす。