

JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

JEITA EDR-4705B

ソフトウェア試験ガイドライン SER Testing Guideline

2005年6月制定

2023年7月改正

作成

半導体信頼性技術委員会

Technical Committee on Semiconductor Reliability

発行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

目 次

	ページ
1 はじめに	1
2 ソフトエラーの基礎（メカニズム概要）	1
3 ソフトエラー試験ガイドライン	5
4 デイレーティングの考え方	25
5 審議委員	28
付録 A 各 SER の計算方法	29
付録 B 地表に降る宇宙線起因中性子が起こすハードエラー ～パワーデバイスのバーンアウト～	36
付録 C 震災後の JEITA 公式見解 ～福島原発事故による飛散放射性物質の半導体 LSI 製品への影響に関する見解～	39

電子情報技術産業協会技術レポート

ソフトウェア試験ガイドライン

SER Testing Guideline

1 はじめに

半導体メモリは放射線の照射により、保持データの変化等の誤動作を生じるソフトウェアが発生することは1970年代後半から知られている現象であった。特に、日本企業がDRAMで世界を席巻していた時代から、この問題に対する取り組みが行われてきた。DRAMでソフトウェアが注目されていた時代は、パッケージ封止部材から放射される α 線が主たる要因となっており、 α 線源の含有量を抑えた低 α 線部材の適用や α 線耐性を上げたデバイス構造の開発が行われていた。その後、ソフトウェアの議論の中心はDRAMからSRAMに移っていくことになった。SRAMは各先端技術世代でのゲート酸化膜が一番薄く、セル面積の縮小化と低い駆動電圧で動かすことで高速動作を再現する一方で、ソフトウェアの発生に対しては蓄積電荷量の低下に加え、CMPプロセスによる平坦化プロセスが展開される以前に使用されていたBPSG膜中の ^{10}B からの熱中性子の捕獲、宇宙線中の高速中性子線の照射により、CMOS構造のSi基板内部の拡散層及びwell部での電荷発生がこのソフトウェアに対する耐性を下げる結果となってしまった。これに対しては、エラー補正回路(ECC)の適用や、影響を受けにくいデバイス構造を開発することで現在も対応を継続検討し続けている。

この一方で、ソフトウェア現象について、半導体デバイス信頼性認定(Reliability-Qualification)の中でそのエラーレート中心に実力を確認する動きも出るようになってきた。JEITAでも2005年にEIAJ EDR-4705“ソフトウェア試験ガイドライン”を発行して、試験法の概要に加えてエラーレートの算出方法を提示してきたが、高温動作試験結果等から求める故障率FITと同じ単位を使いながらも、その算出方法は複雑で解釈も難しいのでは、との指摘も受けてきた。

今回、実際に半導体の認定の現場にも適用できるエラーレートの算出のための考え方の補足を行うことで、実際の適用環境を考慮した効果的な算出方法を提示していくこととした。これは、実際の故障率を考えるためには、単に数値をそのまま適用するのではなく、半導体デバイスを使用するシステム面からも考慮することが少なくないことを半導体ユーザに拡大させることが主な目的となっている。

加えて、震災後の福島原発事故以降、日本の半導体は放射能汚染に対して、風評被害を受けていた時期もあった。これに対して、JEITAでは公式サイトで2011年8月に、見解を出してきたが、ここで改めて掲載することで、半導体デバイスに対する影響がないことを深く半導体ユーザに認識していただくため、最後にこの内容を掲載することにした。

2 ソフトウェアの基礎(メカニズム概要)

環境放射線によって半導体LSI内で保持されているデータが反転し、間欠的な動作障害を引き起こす現象のことをソフトウェアと呼ぶ。

ソフトウェアを引き起こす環境放射線には、 α 線、高エネルギー中性子線、熱中性子線がある。