

# JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

*JEITA EDR-4703A*

## ベアダイの品質ガイドライン Quality Guidelines for Bare Die

1999年5月制定

2008年3月改正

作成

半導体技術委員会／半導体実装・製品技術専門委員会

Semiconductor Technology Committee/Semiconductor Product Technology Committee of Japan

半導体信頼性技術小委員会

Technical Committee on Semiconductor Reliability

発行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

## 目 次

	ページ
1 概要 .....	2
2 一般的な半導体デバイスの品質保証 .....	2
3 ベアダイの品質レベル分類 .....	6
4 ベアダイに関する情報の提示 .....	10
5 出荷関連 .....	12
6 保管期限の目安 .....	12
7 ベアダイの取扱い .....	14
8 ベアダイ実装におけるトラブル事例 .....	16
9 不良品の取扱い .....	18
10 関連資料 .....	18
解説 .....	20

## 電子情報技術産業協会技術レポート

# ベアダイの品質ガイドライン

## Quality Guidelines for Bare Die

### 1 概要

近年、電子機器の小型化・軽量化・高機能化は、モバイル製品の普及により益々顕著になっている。その結果、従来は非常に特殊なケースに限られていた、半導体ユーザにおけるベアダイ実装が、民生機器メーカーのアセンブリ工程で広く行われるようになってきた。

このガイドラインは、そのような状況において、半導体メーカーと半導体ユーザがベアダイの品質に対し共通の認識が得られることを目的としてまとめ上げたものである。

**注記** ベアダイ：ウェハ状態、又はウェハからダイシング工程などで分割された状態のダイを示す。パッド上に何らかの方法でバンプやビームリードなどの電極が形成されているダイもこれに含まれる。ベアチップという表現も用いられるが、英訳を考慮しベアダイとした。

### 2 一般的な半導体デバイスの品質保証

ベアダイの品質保証を述べる前に、出荷形態がパッケージである半導体デバイスの品質保証について、その概要について触れる。

このガイドラインでは、半導体デバイスの品質保証をデバイス自体の品質を示す、“外観”“電気的特性保証”“信頼性検証”に着目して考える。ここで、外観と電気的特性は、半導体ユーザにおける組立工程の品質に影響を与え、半導体メーカーでは図 2.1 で示すフローにより選別を行っている。

#### 2.1 電気的特性保証

##### (1) プロービング特性検査

ウェハ状態における特性検査は、一般的には DC 測定と基本的な機能テストが主体となる。ただし、アナログ特性、At Speed、温度保証の追い込みテストなど保証すべき特性に対して十分なテストを実施することは困難である。

例えば、MOS 系製品の場合には、以下のような測定項目が挙げられる。

**例** オープン/ショート，入出力リーク，入出力電圧/電流  
電源電流（動作/スタンバイ），ファンクション

##### (2) 最終特性検査

パッケージ品における最終特性検査は、上述のプロビング特性検査に、アナログ特性、At Speed、温度保証の追い込みテストなどのプロビング特性検査では、困難な検査項目を追加し、製品の個別仕様書に規定される特性仕様を満足するかの選別を行う。

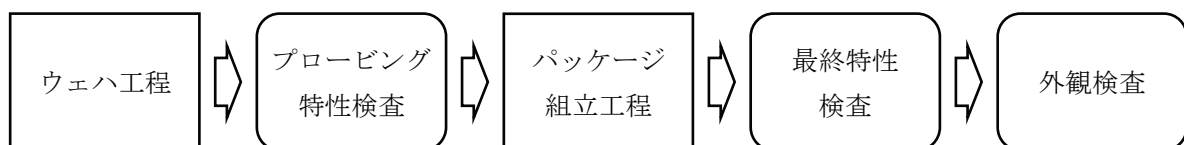


図 2.1—一般的な半導体デバイスの検査フロー例



Technical Report of Japan Electronics and Information Technology Industries Association

*JEITA EDR-4703A*

**Quality Guidelines for Bare Die**

Established in May, 1999

Revised in March, 2008

Prepared by

Semiconductor Technology Committee  
Semiconductor Product Technology Committee of Japan  
Technical Committee on Semiconductor Reliability

Published by

Japan Electronics and Information Technology Industries Association

Chiyoda First Bldg. South Wing, 2-1, Nishikanda 3-chome, Chiyoda-ku, Tokyo, 101-0065, Japan

Printed in Japan

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2008 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

## CONTENTS

	page
<b>1 Overview</b> .....	1
<b>2 Quality assurance of typical semiconductor devices</b> .....	1
<b>3 Classification of the bare die quality</b> .....	5
<b>4 Bare die information</b> .....	9
<b>5 Shipping</b> .....	11
<b>6 Guidelines on the shelf life</b> .....	11
<b>7 Handling of the bare die</b> .....	13
<b>8 Examples of troubles in the bare die assembly</b> .....	15
<b>9 Handling of the defective parts</b> .....	17
<b>10 References</b> .....	17
<b>Explanation</b> .....	19

## Quality Guidelines for Bare Die

### 1 Overview

The recent popularization of mobile products has accelerated miniaturization, weight saving, and functional advancement of electronic products. As a result, bare die mounting, which had been used only for the special applications in the past, becomes more commonly used in the board-assembly processes in consumer electronics.

This document has been created to share a common recognition between semiconductor manufacturers and users with regard to the bare die quality.

**NOTE:** The bare die here is defined as a wafer or a die detached from the wafer in dicing process, etc.

The bare die also includes the die having bumps or beam leads formed by any means. The bare die is also referred to as “bare chip”, but the former term is used to be consistent between Japanese and English.

### 2 Quality assurance of typical semiconductor devices

The quality assurance of the packaged semiconductor devices is briefed in this clause before describing that of the bare die.

This document provides insights into the quality assurance of the semiconductor devices from the aspects of the APPEARANCE, ELECTRICAL CHARACTERISTICS ASSURANCE, and RELIABILITY VALIDATION, which indicate the quality of the device itself. Among them, the defects of the appearance and electrical characteristics affect the quality of user’s assembly process; therefore, semiconductor manufacturers have screened the products according to the test flow shown in **Fig. 2.1**.

#### 2.1 Assurance of the electrical characteristics

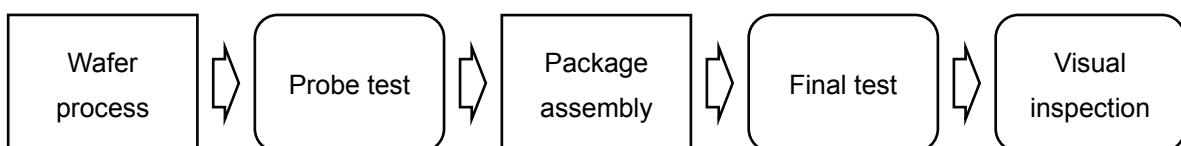
##### (1) Probe test

DC tests and basic function tests are the main part of the wafer sort in general. However, it is difficult to test all characteristics to be assured, such as analogue characteristics, performance at speed test, and functional verification over the assured temperature range.

For example, test items for MOS-based devices are open/short, I/O leak, I/O voltage, I/O current, Vdd current (operation/stand by), and functions

##### (2) Final test

The final test for the packaged device includes the items at the probe test and others that can be hardly tested by probe, such as the analogue characteristics, performance at speed test, and functional verification over the assured temperature range. Products are thus screened whether they meet the functional requirements of the individual product specifications.



**Fig. 2.1 – Example of the typical test flow**