

JEITA

電子情報技術産業協会規格

Standard of Japan Electronics and Information Technology Industries Association

JEITA ED-7318

**集積回路パッケージデザインガイド
プラスチックモールドアウトライン
ノンリードパッケージ**

**Design guideline of integrated circuits
for Plastic Small Outline No-lead package
(P-SON)**

2013 年 3 月制定

作 成

半導体パッケージ技術小委員会

Technical Committee on Semiconductor Packaging

発 行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

まえがき

この規格は、一般社団法人 電子情報技術産業協会（JEITA）の半導体パッケージ技術小委員会の審議を経て、同委員会で承認し改正した。

これによって、**EIAJ EDR-7318A** は、この規格に置き換えられた。

この規格は、著作権法によって保護されている著作物であるため、許可なくこの規格の一部又はすべてを複製・転載することを禁止する。

この規格は、この規格の一部が、工業所有権（特許権、実用新案権、意匠権など）に抵触する可能性に関係なく制定されている。一般社団法人 電子情報技術産業協会は、このような工業所有権に係る責任を負わない。

この規格は、**JEITA TSC-16**（電子情報技術産業協会規格類の作成基準）の様式によって作成したデザインガイドである。

電子情報技術産業協会規格

集積回路パッケージデザインガイド プラスチックモールドアウトラインノンリードパッケージ

Design guideline of integrated circuits for Plastic Small Outline No-lead package (P-SON)

1 適用範囲

このデザインガイドは、**JEITA ED-7300A**（半導体パッケージ外形規格作成に関する基本事項）でフォーム A 及びフォーム B として区分されるパッケージのうち、2 次分類で N 端子に分類されるプラスチックパッケージの外形図及び寸法について規定する。

2 引用規格及び文書

次に掲げる規格は、この規格に引用されることによって、この規格の規定の一部を構成する。これらの引用規格のうちで、西暦年を付記してあるものは、記載の年の版だけがこの規格の規定を構成するものであって、その後の改正版又は追補には適用しない。西暦年を付記していない引用規格は、その最終版（追補を含む）を適用する。

- JEITA ED-7311-13A** 集積回路パッケージ個別規格（P-SON）
- JEITA ED-7311-22** 集積回路パッケージ個別規格（P-QFN）
- JEITA ED-7324** 集積回路パッケージデザインガイド プラスチッククワッドフラットノンリードパッケージ（P-QFN）
- JEITA TSC-16:2007** 電子情報技術産業協会規格類の作成基準

3 用語の定義

この規格で用いる主な用語及び定義は、引用規格及び文書に掲げる規格による。

4 端子番号の付け方

JEITA ED-7300A の規定による。



Standard of Japan Electronics and Information Technology Industries Association

JEITA ED-7318

**Design guideline of integrated circuits
for Plastic Small Outline No-lead package
(P-SON)**

Established in March, 2013

Prepared by
Technical Committee on Semiconductor Packaging

Published by
Japan Electronics and Information Technology Industries Association

Ote Center Bldg., 1-3, Otemachi 1-chome, Chiyoda-ku, Tokyo, 100-0004, Japan

Printed in Japan

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2013 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

Foreword

This standard has been revised with the deliberations conducted by the Technical Subcommittee on Semiconductor Packaging of the Japan Electronics and Information Technology Industries Association (**JEITA**) and the approval by the said Subcommittee.

With its approval, **EIAJ EDR-7318A** has been replaced by this standard.

This standard is protected by copyright laws and shall not be reproduced, copied or excerpted either in part or in full without permission.

The standard has been established regardless of the possibility of any part of the standard infringing on industrial property rights (patents, utility model rights, design rights, etc.). The Japan Electronics and Information Technology Industries Association shall not bear any responsibility pertaining to such industrial property rights.

The standard is a design guideline developed in compliance with the format designated in **JEITA TSC-16** (Rules for the layout and drafting of **JEITA** Standard).

Standard of Japan Electronics and Information Technology Industries Association

Design guideline of integrated circuits for Plastic Small Outline No-lead package (P-SON)

1 Scope

This design guideline specifies the standards for outline drawings and dimensions of plastic packages classified into No-lead terminals in the subcategory for packages that are classified as Form A and Form B in **JEITA ED-7300A** (Recommended practice on standard for the preparation of outline drawings of semiconductor package).

2 Normative References

The following referenced documents are indispensable for the application of this document. For dated references, only the cited edition applies. For undated references, only the latest edition of the referenced document applies.

JEITA ED-7311-13A Standard of integrated circuits package (P-SON)

JEITA ED-7311-22 Standard of integrated circuits package (P-QFN)

JEITA ED-7324 Design guideline of integrated circuits for Plastic Quad Flat No-lead package (P-QFN)

JEITA TSC-16: 2007 Rules for the layout and drafting of **JEITA** Standard

3 Terms and definitions

For the purposes of this document, the terms and definitions given in normative references apply.

4 Terminal position numbering

Terminal position numbering is based on **JEITA ED-7300A**.