



日本電子機械工業会規格  
Standard of Electronic Industries Association of Japan

***EIAJ ED-7304-1***

**SOP規定寸法の測定方法**  
**Measuring Method for Package Dimensions of**  
**Small Outline Package (SOP)**

1997年3月制定

作 成

半導体パッケージ標準化委員会  
Technical Standardization Committee on Semiconductor Device Package

発 行

社団法人 日本電子機械工業会  
Electronic Industries Association of Japan

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

EIAJ standards are established independently to any existing patents on the products, materials or processes they cover.

EIAJ assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 1997 by the Electronic Industries Association of Japan

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.

Standard of Electronic Industries Association of Japan  
Method of Measuring Specified Dimension for Semiconductor Device Packages  
for  
Shrink Small Outline Package, Thin Small Outline Package (type I)  
and Thin Small Outline Package (type II)  
(SSOP, TSOP (I) , TSOP (II) )

### 1. Scope

This standard stipulates a method for measuring dimensions specified in the general dimensions rules of the SSOP, TSOP (I) , TSOP (II) (ref. **EIAJ ED-7300**) .

### 2. Definition of terms

The main terms used in this standard are as defined below and new terms are defined in the text.

- |                         |   |
|-------------------------|---|
| (1) <b>EIAJ ED-7300</b> | Basic standard for preparation of general dimensions rules of semiconductor device packages |
| (2) <b>EIAJ ED-7314</b> | Design guideline of integrated circuits for Shrink Small Outline Package(SSOP)              |
| (3) <b>EIAJ ED-7312</b> | Design guideline of integrated circuits for Thin Small Outline Package(type I )             |
| (4) <b>EIAJ ED-7313</b> | Design guideline of integrated circuits for Thin Small Outline Package(type II )            |
| (5) <b>JIS Z 8310</b>   | General rules of drawing  |
| (6) <b>JIS B 0021</b>   | Illustrating method of geometrical tolerance  |
| (7) <b>JIS B 0061</b>   | Definition and display of geometrical deviations  |
| (8) <b>ANSI Y 14.5M</b> | Dimensions and tolerancing  |

### 3. History

External dimensions of packages for semiconductor devices are specified in the general dimensions rules. However, the specified external dimensions have been measured in a variety of methods by companies. As a result, measured results are so different that some trouble has occurred between semiconductor manufacturers and users. Further more, there are some dimensions specified in the general dimensions rules that are very difficult to measure. This is set up to make the definitions of the specified dimensions clear and to standardize the measuring method of them.

### 4. Definition of measuring method

The measuring method in this standard is defined for dimension values guaranteed to users on the basis of the following items.

- (1) In general, measuring the dimensions shall be made with the semiconductor packages mounted on printed circuit board as the guarantee is made to user.
- (2) In general, measurement may be made either by hand or automatically.
- (3) Even if a measuring method deviates out of the original definition of dimensions, it is defined as an alternative measuring method as long as it is equivalent in view of accuracy and can be used easily.
- (4) The dimensions that cannot be measured unless the packages is destroyed, may be calculated from other dimensions or alternated by representative values.

日本電子機械工業会規格

## SOP規定寸法の測定方法

Measuring Method for package dimensions of Small Outline Package (SOP)

1. 適用範囲 この規格は、EIAJ ED-7300にて分類されているフォームBのし端子パッケージ (SOP)のうち、シュリンクアウトラインパッケージ (以下、SSOPという。)、薄型スモールアウトラインパッケージ (タイプI) (以下、TSOP (I) という。 ) と薄型スモールアウトラインパッケージ (タイプII) (以下、TSOP (II) という。 ) のパッケージデザインガイドにて規定している寸法の測定方法について規定する。
2. 用語の定義 この規格で用いる主な用語の定義は、以下の規格によるほか、新規の用語については、本文中の定義による。
- (1) EIAJ ED-7300 「半導体パッケージ外形規格作成に関する基本事項」
  - (2) EIAJ EDR-7314 「集積回路パッケージデザインガイド シュリンクスモールアウトラインパッケージ (SSOP)」
  - (3) EIAJ EDR-7312 「集積回路パッケージデザインガイド 薄型スモールアウトラインパッケージ (タイプI) (TSOP (I))」
  - (4) EIAJ EDR-7313 「集積回路パッケージデザインガイド 薄型スモールアウトラインパッケージ (タイプII) (TSOP (II))」
  - (5) JIS Z 8310 「製図総則」
  - (6) JIS B 002 「幾何公差の図示方法」
  - (7) JIS B 006 「幾何偏差の定義及び表示」
  - (8) ANSI Y14.5M 「Dimensioning and Tolerance」
3. 沿革 半導体パッケージの外形寸法については、デザインガイドにて規定している。しかしながら、その規定されている寸法の測定に関しては、各社各様の測定方法にて測定していた。そのため、測定結果が異なり特に半導体メーカーとユーザー間にて問題が発生していた。今後は更に、半導体パッケージの端子ピッチのファイン化及び、高密度実装化が進み、より大きな問題となることが考えられる。また、デザインガイドにて規定している寸法の中には、測定が非常に困難なものも規定している。そこで規定寸法の定義を明確にし、測定方法を統一化するためにこの規格を制定することとした。
4. 測定方法の定義 この測定方法は、ユーザーに保証する寸法値の測定方法について定義しており以下の項目を前提に作成した。また、その際に使用する測定装置及びその精度については、特に規定はしない。
- (1) ユーザーの実装方法も様々であるが、今回の規格は最も多く利用されている自動機を利用してはんだペーストにて基板実装する方法を想定し定義した。
  - (2) 測定方法は、原則としてマニュアルでも自動でも測定できるように定義した。
  - (3) 本来の寸法の定義から逸脱している測定方法でも、精度的に考えて同等でかつ容易に測定が可能な場合は簡便測定法として定義した。
  - (4) パッケージを破壊しなければ測定できないような寸法は、他の寸法からの算出、又は代表値にて代替することを認めることとした。