



日本電子機械工業会規格
Standard of Electronic Industries Association of Japan

EIAJ ED-5514

**プロセッサ搭載メモリ・モジュール(PEMM)
動作仕様標準**

**Processor Enhanced Memory Module (PEMM)
Standard for Processor Enhanced Memory Module Functional Specifications**

1998年7月制定

作成

半導体標準化委員会
Technical Standardization Committee on Semiconductor Devices

発行

社団法人 日本電子機械工業会
Electronic Industries Association of Japan

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

EIAJ standards are established independently to any existing patents on the products, materials or processes they cover.

EIAJ assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 1998 by the Electronic Industries Association of Japan

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.

Processor Enhanced Memory Module (PEMM)
Standard for Processor Enhanced Memory Modules Functional Specifications

INDEX

	page
1. Scope	1
2. Architectural Overview	1
2.1 Benefits	1
2.2 Motivation	3
2.3 Rationale for this standard	3
2.4 Memory system block diagram	5
2.5 PEMM block diagram	7
3 Modes of Operation	9
3.1 Standard mode	9
3.2 Configuration mode	9
3.3 Smart mode	9
4 Hardware Structure	9
4.1 New signal function	11
4.2 New signal description	11
4.3 Serial presence detect table entries	11
4.3.1 Table of superset memory types	11
4.3.2 Specific PD's for superset type processor enhanced memory	13
4.3.2.1 Address map	13
4.3.2.2 Bytes 60-59	13
4.3.2.3 Byte 58	13
4.3.2.4 Byte 57-54	15
4.3.2.5 Bytes 53-52	15
4.3.2.6 Byte 51	15
4.3.2.7 Byte 50-49	15
4.3.2.8 Byte 48	17
4.3.2.9 Byte 47	17
4.3.2.10 Bytes 46-45	17
4.3.2.11 Byte 44	17
4.3.2.12 Byte 43-42	19

日本電子機械工業会規格

プロセッサ搭載メモリ・モジュール (PEMM) 動作仕様標準

目 次

1. 概要	2
2. アーキテクチャー概要	2
2.1 利点	2
2.2 動機	4
2.3 規格の概要	4
2.4 メモリシステムブロック図	6
2.5 PEMM ブロック図	8
3. 動作モード	10
3.1 スタンダード・モード	10
3.2 コンフィギュレーション・モード	10
3.3 スマート・モード	10
4. ハードウェア構成	10
4.1 追加信号の機能	12
4.2 追加信号の 144 ピン SO-DIMM 及び, 168 ピン DIMM への適用	12
4.3 SERIAL PRESENCE DETECT TABLE ENTRIES	12
4.3.1 スーパーセット領域使用メモリ対応表	12
4.3.2 プロセッサ・エンハンスド・メモリの SPD スーパーセット領域の定義	14
4.3.2.1 アドレス・マップ	14
4.3.2.2 バイト 60-59	14
4.3.2.3 バイト 58	14
4.3.2.4 バイト 57-54	16
4.3.2.5 バイト 53-52	16
4.3.2.6 バイト 51	16
4.3.2.7 バイト 50-49	16
4.3.2.8 バイト 48	18
4.3.2.9 バイト 47	18
4.3.2.10 バイト 46-45	18
4.3.2.11 バイト 44	18
4.3.2.12 バイト 43-42	20

4.3.2.13	Byte 41	19
4.3.2.14	Byte 40	19
4.4	Supplemental Information	21
4.4.1	PEMM differences from a standard DIMM (reference only)	21
4.4.2	Power-on reset (reference only)	21
4.4.3	Clock generation (reference only)	21
4.4.4	Bus switching (reference only)	21
4.4.5	Capacitance (reference only)	21
4.4.6	Power consumption (reference only)	23
4.4.7	Impact to memory controller (reference only)	23
4.4.8	Impact to motherboard (reference only)	23
5	Electrical Interface	23
5.1	Wait Protocol	23
5.1.1	Memory controller setup registers	25
5.1.2	Wait protocol - EDO DRAM	25
5.1.2.1	Wait timing - READ or WRITE	25
5.1.2.2	Timing data for figure 5.1.2.1 (reference only)	27
5.1.3	Wait protocol – SDRAM	27
5.1.3.1	Memory eligibility for MMPU access	27
5.1.3.2	Wait timing - Example 1	29
5.1.3.3	Wait timing - Example 2	31
5.1.3.4	Wait timing - Example 3	31
5.1.3.5	Wait timing - Example 4	33
5.1.3.6	Wait timing - Example 5	33
5.1.3.7	Timing data for figures 5.1.3.2 - 5.1.3.6 (reference only)	35
5.2	Interrupt protocol	35
5.3	Refresh handling	35
5.3.1	Refresh handling – EDO DRAM case	37
5.3.2	Refresh handling – SDRAM case	37
5.4	Special commands	37
6	Architecture Concept (reference only)	37

4.3.2.13	バイト 41	20
4.3.2.14	バイト 40	20
4.4	補足情報	22
4.4.1	標準 DIMM との相違点(参考)	22
4.4.2	起動リセット(参考)	22
4.4.3	クロック生成(参考)	22
4.4.4	バス・スイッチング(参考)	22
4.4.5	容量負荷(参考)	22
4.4.6	消費電力(参考)	24
4.4.7	メモリ・コントローラの変更点(参考)	24
4.4.8	マザーボードの変更点(参考)	24
5.	電氣的インタフェース	24
5.1	ウェイト・プロトコル	24
5.1.1	メモリ・コントローラ・セットアップ・レジスタ	26
5.1.2	ウェイト・プロトコル - EDO DRAM	26
5.1.2.1	ウェイト・タイミング - READ or WRITE (EDO DRAM)	26
5.1.2.2	タイミング・データ(5.1.2.1)	28
5.1.3	ウェイト・プロトコル - SDRAM	28
5.1.3.1	MMPUのメモリへのアクセス権	28
5.1.3.2	ウェイトタイミング - 1	30
5.1.3.3	ウェイトタイミング - 2	32
5.1.3.4	ウェイトタイミング - 3	32
5.1.3.5	ウェイトタイミング - 4	34
5.1.3.6	ウェイトタイミング - 5	34
5.1.3.7	タイミングデータ 5.1.3.2-5.1.3.6 (参考)	36
5.2	インタラプト・プロトコル	36
5.3	リフレッシュの取り扱い	36
5.3.1	リフレッシュハンドリング (EDO DRAM の場合)	38
5.3.2	リフレッシュハンドリング (SDRAM の場合)	38
5.4	特殊コマンド	38
6.	アーキテクチャー概念 (参考)	38

Processor Enhanced Memory Module (PEMM)

Basava Technology

1 Scope

This document defines the standard of operation of the PEMM (Processor Enhanced Memory Module).

The target for this standard is all DIMMs, including 144 pin SO-DIMMs and 168 pin DIMMs, containing either EDO or SDRAM(Refer to JEDEC Standard JESD21-C 4.5.1, 4.5.3~7).

Future proposals may include but may not be limited to DDR-SDRAM.

This document suggests changes to the supporting memory controller, motherboard, and the DIMM itself. This document assumes that the system has at least two DIMM sockets, and two physical banks of memory can reside on a single DIMM.

2 Architectural Overview

This architecture (Basava Technology*) is a new computer architecture and system concept that enables an end user to easily enhance a system's performance and add new functions by just plugging in a memory expansion module. For example, a user can transform his/her PC or Notebook computer into a high-performance multimedia computer capable of executing the fastest fax/modem, high polyphony CD-quality music synthesis, DVD decoding, and user interface functions like speech-recognition and Text-to-Speech by just plugging in a memory expansion module with one or more processors embedded in it. The hardware memory-expansion module is referred to as the PEMM.

Technically, this architecture addresses parallel processing in the memory space of a Central Processing Unit (CPU). The CPU, also referred to as the Main Processing Unit (MPU) is the main processor in the system. For example, in the case of PCs it would be an Intel CPU, in the case of Sun workstations it would be a SPARC RISC, and so on. Parallel processing is obtained by adding one or more processors such as Digital Signal Processors (DSPs) but could also be an additional CPU. The processor(s) embedded on the memory module is referred to as a Memory Module Processing Unit (MMPU).

* This technology includes hardware and software architectures for the PEMM.

2.1 Benefits

This architecture offers several significant benefits:

- (a) It offers the ability to Plug & Play since adding the parallel processor is as easy as expanding the memory of a CPU. It relies on standardized interfaces which are often standardized by organizations like IEEE, JEDEC etc.
- (b) It offers the highest possible bandwidth between the CPU and coprocessor at any given time and technology.
- (c) It offers a bus-independent, and therefore a host-independent solution for PCs, PDAs, workstations and other computer systems.

日本電子機械工業会規格

プロセッサ搭載メモリ・モジュール (PEMM)

動作仕様標準

Processor Enhanced Memory Module (PEMM)

1. 概要 この規格では PEMM (Processor Enhanced Memory Module) の動作規格について記述する。

この規格は、EDO あるいは SDRAM を含む 144 ピン SO-DIMM や 168 ピン DIMM など、すべての JEDEC 規格 (JESD21-C4. 5. 1 及び、4. 5. 3~7 参照) の DIMM に適応する。将来、DDR-SDRAM やそのメモリ・モジュールの仕様が標準化されたときに DDR-SDRAM がこの規格の範囲内に入る可能性があるが、これに限定するとは限らない。

この規格ではメモリ・コントローラ、マザーボード及び DIMM 自身の変更を規格する。以下の論議や例においてシステムは少なくとも二つの DIMM ソケットを持ち、1 個の DIMM に二つの物理的メモリバンクが存在することを前提とする。

2. アーキテクチャー概要 このアーキテクチャー (バサバ技術⁽¹⁾) は新しいコンピュータ・アーキテクチャーとシステム概念であり、メモリ拡張モジュールを接続するだけでエンドユーザが容易にシステム・パフォーマンスを向上させたり、新しいファンクションを追加することができる。例えば、一枚又は複数のプロセッサを内蔵したメモリ拡張モジュールを接続するだけで、手持ちの PC やノートブック・パソコンを最高速 fax/modem、CD と同程度の多音色音楽合成、DVD 再生、音声認識・テキスト音声変換など、ユーザ・インタフェース機能を実行できる高性能なマルチメディア・パソコンに変身させることができる。ハードウェア拡張モジュールを以下 PEMM と呼ぶ。

この技術は、セントラル・プロセッシング・ユニット (CPU) のメモリ空間で並列処理を行う。CPU (メイン・プロセッシング・ユニットあるいは MPU とも呼ぶ。) はシステムのメイン・プロセッサである。例えば、PC の場合は Intel の CPU であり、Sun ワークステーションの場合は SPARC RISC である。一つあるいは複数個のデジタル・シグナル・プロセッサ (DSP)、又は CPU を追加することによって、並列処理が得られる。メモリ・モジュールに内蔵される演算処理装置を MMPU (Memory Module Processing Unit) と呼ぶ。

注⁽¹⁾ この技術は PEMM のハードウェア/ソフトウェア・アーキテクチャーを含む。

2.1 利点 この技術はいくつかの有用な利点を持つ。

- (a) 並列プロセッサの追加は CPU のメモリを増設する感覚ででき、Plug & Play 対応である。また、IEEE や JEDEC などで標準化されたインタフェースをサポートする。
- (b) いかなる時も、またいかなる技術も、CPU とコプロセッサの間には常に最大のバンド幅が保証される。
- (c) PC、PDA、ワークステーション、その他のコンピュータ・システムに対して、バスやホストに