



日本電子機械工業会規格
Standard of Electronic Industries Association of Japan

EIAJ ED-5513

**2.5V スタブ直列終端型論理(SSTL_2)
標準機能仕様**

(電源電圧2.5V デジタル集積回路インタフェース標準)

Stub Series Terminated Logic for 2.5 Volts(SSTL_2)
(A 2.5V Supply Voltage based Interface Standard for Digital ICs)

1998年8月制定

作 成

半 導 体 標 準 化 委 員 会

Technical Standardization Committee on Semiconductor Devices

発 行

社団法人 日本電子機械工業会
Electronic Industries Association of Japan

Translation without guarantee in the event of any doubt arising, the original standard in Japanese is to be evidence.

EIAJ standards are established independently to any existing patents on the products, materials or processes they cover.

EIAJ assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

© 1998 by the Electronic Industries Association of Japan

All rights reserved. No part of this standards may be reproduced in any form or by any means without prior permission in writing from the publisher.

Stub Series Terminated Logic for 2.5Volts (SSTL_2)**INDEX**

	page
<Standard Specification>	
1 Scope	1
1.1 Standard structure	1
1.2 Rationale and assumptions	1
2 Supply Voltage and Logic Input Levels	3
2.1 Supply voltage levels	3
2.2 Input parametric	5
2.3 AC test conditions	5
3 SSTL_2 Output Buffers	7
3.0 Overview	7
3.1 SSTL_2 Class I output buffers	11
3.1.1 Push-pull output buffer for symmetrically single parallel terminated loads with series resistor. ($V_{TT}=0.5 \times V_{DDQ}$)	11
3.1.2 SSTL_2 Class I output AC test conditions	11
3.2 SSTL_2 Class II output buffers	13
3.2.1 Push-pull output buffer for symmetrically double parallel terminated loads with series resistor ($V_{TT}= 0.5 \times V_{DDQ}$)	13
3.2.2 SSTL_2 Class II output AC test conditions	15
<Reference>	
4. Other Application (For reference only)	17
4.1 Push-pull output buffer for un-terminated loads	17
4.2 Push-pull output buffer for symmetrically single parallel terminated loads ($V_{TT} = 0.5 \times V_{DDQ}$)	17
4.3 Push-pull output buffer for externally source series terminated loads	19
4.4 Push-pull output buffer for symmetrically double parallel terminated loads ($V_{TT}= 0.5 \times V_{DDQ}$)	19

2. 5V スタブ直列終端型論理 (SSTL_2)

目 次

＜標準規格＞

1. 適用範囲	2
1.1 標準の構成	2
1.2 理論的根拠と想定	2
2. 供給電圧と論理入力レベル	4
2.1 供給電圧レベル	4
2.2 入力パラメータ	6
2.3 ACテスト条件	6
3. SSTL_2出力バッファ	8
3.0 概要	8
3.1 SSTL_2クラス I 出力バッファ	12
3.1.1 直列抵抗を用い対称に片側並列終端した負荷に対応する プッシュプル出力バッファ ($V_{TT}=0.5 \times V_{DDQ}$)	12
3.1.2 SSTL_2クラス I 出力ACテスト条件	12
3.2 SSTL_2クラス II 出力バッファ	14
3.2.1 直列抵抗を用い対称に両側並列終端した負荷に対応する プッシュプル出力バッファ ($V_{TT}=0.5 \times V_{DDQ}$)	14
3.2.2 SSTL_2クラス II 出力ACテスト条件	16

＜参考資料＞

4. その他のアプリケーション (参考資料)	18
4.1 終端しない負荷に対応するプッシュプル出力バッファ	18
4.2 対称に片側を並列終端する負荷に対応するプッシュプル出力バッファ ($V_{TT}=0.5 \times V_{DDQ}$)	18
4.3 信号源の外部で直列終端する負荷に対応するプッシュプル出力バッファ	20
4.4 対称に両側を並列終端する負荷に対応するプッシュプル出力バッファ ($V_{TT}=0.5 \times V_{DDQ}$)	20

Stub Series Terminated Logic for 2.5 Volts (SSTL_2)

(A 2.5V Supply Voltage based Interface Standard for Digital ICs)

1. Scope

This standard defines the input, output specifications and AC test conditions for devices that are designed to operate in the SSTL_2 logic switching range, nominally 0V to 2.5V. The standard may be applied to ICs operating with separate V_{DD} and V_{DDQ} supply voltages. In many cases V_{DD} and V_{DDQ} will have the same voltage level. The V_{DD} value is not specified in this standard other than that V_{DDQ} value may not exceed that of V_{DD} .

1.1 Standard structure

The standard is defined in three sections:

The first section defines pertinent supply voltage requirements common to all compliant ICs.

The second section defines the minimum DC and AC input parametric requirements and AC test conditions for inputs on compliant devices.

The third section specifies the minimum required output characteristics of, and AC test conditions for, compliant outputs targeted for various application environments. The output specifications are divided into two classes, Class I and Class II, which are distinguished by drive requirements and application.

A given IC need not be equipped with both classes of output drivers, but each must support at least one to claim SSTL_2 output compliance.

The full input reference level (V_{REF}) range specified is required on each IC in order to allow any SSTL_2 IC to receive signals from any SSTL_2 output driver.

1.2 Rationale and assumptions

The SSTL_2 standard has been developed particularly with the objective of providing a relatively simple upgrade path from MOS push-pull interface designs. The standard is particularly intended to improve operation in situations where busses must be isolated from relatively large stubs. External resistors provide this isolation and also reduce the on-chip power dissipation of the drivers. Busses may be terminated by resistors to an external termination voltage.

Actual selection of the resistor values is a system design decision and beyond the scope of this standard. However in order to provide a basis, the driver characteristics will be derived in terms of a typical 50Ω environment.

While driver characteristics are derived from a 50Ω environment, this standard will work for other impedance levels. The system designer will be able to vary impedance levels, termination resistors and supply voltage and be able to calculate the effect on system voltage margins. This is accomplished precisely because drivers and receivers are specified independently of each other. The standard defines a reference voltage V_{REF} which is used at the receivers as well as a voltage V_{TT} to which termination resistors are connected. In typical applications V_{TT} tracks as a ratio of V_{DDQ} . In turn V_{REF} will be given the value of V_{TT} . In some standards this ratio equals 0.5.

日本電子機械工業会規格

2. 5V スタブ直列終端型論理 (SSTL_2)

標準機能仕様

(電源電圧 2.5V デジタル集積回路インタフェース標準)

Stub Series Terminated Logic for 2.5 Volts (SSTL_2)

(A 2.5V Supply Voltage based Interface Standard for Digital ICs)

1. 適用範囲 この標準は、通常 0 V~2.5V の論理電圧範囲で動作するよう設計された SSTL_2 デバイスの入出力仕様及び AC テスト条件を定義している。この標準は、別系統の V_{DD} 及び V_{DDQ} 電圧を供給して動作する IC に適用される。多くの場合、 V_{DD} 及び V_{DDQ} は電圧レベルが同一でも、ノイズの影響を避けるために、電源系を別々にする。この標準では、 V_{DD} 値を指定していないが、 V_{DDQ} 値が V_{DD} 値を越えてはいけない。

1.1 標準構成 この標準は、次のように 3 節に分けて定義されている。第 1 節では、あらゆる SSTL_2 準拠 IC に共通する供給電源電圧条件を定義している。第 2 節では、最小限の DC 入力規格、AC 入力規格、及び SSTL_2 準拠デバイスに対する入力の AC テスト条件を定義している。第 3 節では、いろいろなアプリケーション環境において、本 SSTL_2 準拠の出力として最小限必要な出力特性、及び AC テスト条件を指定している。出力仕様は、クラス I とクラス II の 2 クラスに分けられており、駆動電流の必要条件とアプリケーションによって区別される。

IC にクラス I とクラス II の両クラスの出力ドライバを備える必要はないが、SSTL_2 に準拠するには、各 IC が少なくともどちらか一つのクラスの出力ドライバをサポートしていなければならない。SSTL_2 準拠の IC は、どのような SSTL_2 出力ドライバからの信号でも受信するために、指定されている入力基準電圧レベル (V_{REF}) の全範囲で動作しなければならない。

1.2 理論的根拠と想定 SSTL_2 標準は、特にプッシュプル型 MOS 規格から比較的簡単にアップグレードできることを目標として開発された。この標準は、バスを比較的大きなスタブから分離しなければならない状況での動作を改善することを特に意図している。外部抵抗により、この分離を行い、またドライバのチップ上の電力消費を小さくする効果もある。バスは抵抗によって外部終端電圧へ終端される場合もある。実際の抵抗値の選択は、システム設計上決定されるので、この標準の適用範囲外である。しかし、基本として、ドライバ特性は一般的な 50Ω の環境から導かれる。ドライバ特性は 50Ω の環境から導き出されるが、この標準は他のインピーダンスレベルのシステムでも動作する。この場合は、インピーダンスレベル、終端抵抗及び供給電源電圧を変え、システム電圧マージンを計算できる。更に、ドライバとレシーバが互いに独立して設定されているので、上記のシステム電圧マージンの計算を正確に行うことができる。

この標準は、レシーバで使用する基準電圧 V_{REF} 、並びに終端抵抗を接続する終端電圧 V_{TT} を定義している。通常アプリケーションでは、 V_{TT} は V_{DDQ} に比例して追従し、 V_{REF} と V_{TT} の値も同一である。いくつかの SSTL_2 標準の適用では、この比率は 0.5 である。