



日本電子機械工業会規格  
Standard of Electronic Industries Association of Japan

**EIAJ ED-5512**

**3.3V用スタブ直列終端型論理(SSTL-3)**

**標準機能仕様**

**(電源電圧3.3Vデジタル集積回路インタフェース標準)**

**Stub Series Terminated Logic for 3.3Volts (SSTL-3)**

**(A 3.3V Supply Voltage based Interface Standard for Digital ICs)**

1996年3月制定

作成

半導体標準化委員会

Technical Standardization Committee on Semiconductor Devices

発行

社団法人 日本電子機械工業会  
Electronic Industries Association of Japan

## 目 次

	ページ
1. 適用範囲 .....	1
1.1 標準の構成 .....	1
1.2 理論的根拠と想定 .....	2
2. 供給電圧と論理入力レベル .....	2
2.1 供給電圧レベル .....	3
2.2 入力パラメータ .....	3
2.3 acテスト条件 .....	4
3. SSTL_3出力バッファ .....	5
3.0 概要 .....	5
3.1 SSTL_3クラスI出力バッファ .....	7
3.1.1 直列抵抗を用い対称に片側並列終端した負荷に対応する プッシュプル出力バッファ ( $V_{TT}=0.45 \times V_{DDQ}$ ) .....	7
3.1.2 SSTL_3クラスI出力acテスト条件 .....	7
3.2 SSTL_3クラスII出力バッファ .....	8
3.2.1 直列抵抗を用い対称に両側並列終端した負荷に対応する プッシュプル出力バッファ ( $V_{TT}=0.45 \times V_{DDQ}$ ) .....	8
3.2.2 SSTL_3クラスII出力acテスト条件 .....	9
参考 .....	10
4. その他のアプリケーション .....	10
4.1 終端しない負荷に対応するプッシュプル出力バッファ .....	10
4.2 対称に片側を並列終端する負荷に対応するプッシュプル出力バッファ ( $V_{TT}=0.45 \times V_{DDQ}$ ) .....	10
4.3 信号源の外部で直列終端する負荷に対応するプッシュプル出力バッファ .....	11
4.4 対称に両側を並列終端する負荷に対応するプッシュプル出力バッファ ( $V_{TT}=0.45 \times V_{DDQ}$ ) .....	11
附属書	
補足説明 .....	13
1. SSTL_3標準規格について .....	13
1.1 SSTL_3標準規格について .....	13
1.2 供給電圧と入力規格について .....	13
1.2.1 供給電圧と入力規格について .....	13

	ページ
1.2.2 入力論理レベルについて .....	13
1.3 出力規格 .....	14
2. スタブ直列抵抗Rsの値の範囲について .....	15
3. 測定系について .....	16
3.1 入力専用ピンの測定 .....	17
3.2 入出力共用ピンの測定 .....	17
3.2.1 クラスⅠの測定 .....	17
3.2.2 クラスⅡの測定（1ドライバ／1デバイスピン） .....	18
3.2.3 クラスⅡの測定（2ドライバ／1デバイスピン） .....	19
3.3 簡易測定系による入出力共用ピンの測定 .....	20
3.3.1 簡易測定系によるクラスⅠの測定 .....	20
3.3.2 簡易測定系によるクラスⅡの測定（1ドライバ／1デバイスピン） .....	21
3.3.3 簡易測定系によるクラスⅡの測定（2ドライバ／1デバイスピン） .....	21
解 説 .....	23
1. 制定の目的 .....	23
2. 審議の経過 .....	23
3. 審議委員 .....	24

Standard of Electronic Industries Association of Japan

## Stub Series Terminated Logic for 3.3 Volts (SSTL\_3)

(A 3.3V Supply Voltage based Interface Standard for Digital ICs)

### 1. Scope

This standard defines the input, output specifications and ac test conditions for devices that are designed to operate in the SSTL\_3 logic switching range, nominally 0 V to 3.3V. The standard may be applied to ICs operating with separate VDD and VDDQ supply voltages. In many cases VDD and VDDQ will have the same voltage level. However for noise rejection reasons, the supplies may be routed separately in the system interconnect. The VDD value is not specified in this standard other than that VDDQ value may not exceed that of VDD.

#### 1.1 Standard structure

The standard is defined in three sections:

The first section defines pertinent supply voltage requirements common to all compliant ICs.

The second section defines the minimum dc and ac input parametric requirements and ac test conditions for inputs on compliant devices.

The third section specifies the minimum required output characteristics of, and ac test conditions for, compliant outputs targeted for various application environments. The output specifications are divided into two classes, Class I and Class II, which are distinguished by drive requirements and application.

A given IC need not be equipped with both classes of output drivers, but each must support at least one to claim SSTL\_3 output compliance.

The full input reference level (VREF) range specified is required on each IC in order to allow any SSTL\_3, IC to receive signals from any SSTL\_3 output driver.