



日本電子機械工業会規格

Standard of Electronic Industries Association of Japan

EIAJ ED-5511

**シンクロナス・グラフィックRAM及びシンクロナス・ビデオRAM
標準機能仕様**

**Standard Functional Specification for
Synchronous Graphic RAM and Synchronous Video RAM**

1995年7月制定

作 成

半 導 体 標 準 化 委 員 会

Technical Standardization Committee on Semiconductor Devices

発 行

社団法人 日本電子機械工業会

Electronic Industries Association of Japan

日本電子機械工業会規格

シンクロナス・グラフィックRAM及びシンクロナス・ビデオRAM標準機能仕様
 Standard Functional Specification for
 Synchronous Graphic RAM and Synchronous Video RAM

1. 適用範囲 この規格は、シンクロナス・グラフィックRAM (SGRAM) 及びシンクロナス・ビデオRAM (SVRAM) のライト・パー・ビット (WPB) 機能及びブロック・ライト機能、更にそれらの機能を搭載する8MビットSGRAM及びSVRAMのピン配置について規定する。

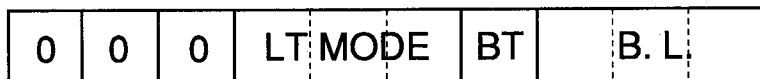
2. 機能仕様の定義 シンクロナス・グラフィックRAM (SGRAM) , 及び更にシリアル・アクセス・メモリ (SAM) を搭載したシンクロナス・ビデオRAM (SVRAM) のライト・パー・ビット (WPB) 機能及びブロック・ライト機能、更にそれらの機能を搭載する2バンク方式、32ビット・データバス幅の8MビットSGRAM及びSVRAMのピン配置を定義する。

備考 ここに規定されていないシンクロナスDRAM (SDRAM) の機能については、JEDEC標準に規定されているシンクロナスDRAM基本機能に準拠する。

(1) モード・レジスタ機能 このモードレジスタは、シンクロナスGRAM (SGRAM) , シンクロナスVRAM (SVRAM) チップ上に設置され動作モードを格納する。

(a) 通常モード モードレジスタのビット7を「0」に設定すると通常モード動作になる。通常モードのデータは、バースト長、バーストの種類、CASレイテンシの情報を含んでいる。基本動作はシンクロナスDRAM標準に準拠しているが、バーストタイプ0のときのバースト長が1、2及びフルページを含むように拡張されている。

Bit # 9 8 7 6 5 4 3 2 1 0



| CASレイテンシ (CL) | |
|---------------|----------|
| Bit 6~4 | CASレイテンシ |
| 000 | R* |
| 001 | 1 |
| 010 | 2 |
| 011 | 3 |
| 1xx | R* |

| バーストタイプ(BT) | |
|-------------|-------------|
| | |
| 0 | SEQUENTIAL |
| 1 | INTERLEAVED |

| バースト長 (B.L.) | | |
|--------------|-----------|------|
| Bit 2~0 | BT=0 | BT=1 |
| 000 | 1 | R* |
| 001 | 2 | R* |
| 010 | 4 | 4 |
| 011 | 8 | 8 |
| 100 | R* | R* |
| 101 | R* | R* |
| 110 | R* | R* |
| 111 | Full Page | R* |

注 R* はすべてリザーブオプションである。