

JEITA

電子情報技術産業協会規格

Standard of Japan Electronics and Information Technology Industries Association

JEITA ED-4704A

半導体デバイスのウエハープロセスの 信頼性試験方法

Wafer Level Reliability test methods for semiconductor devices

2000年5月制定

2011年7月改正

作 成

半導体信頼性技術小委員会

Technical Committee on Semiconductor Reliability

発 行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

目 次

	ページ
1 適用範囲	2
解説	4
 附属書	
フロントエンドプロセス関係	
試験方法 A-101 MOSFET のホットキャリア注入試験 (HCI)	8
1 適用範囲	8
2 用語と定義	8
3 試験に必要な装置	12
3.1 試験装置	12
3.1.1 ウエハープローバ/恒温槽	12
3.1.2 測定装置	12
3.2 サンプルの取り扱い	12
4 試験サンプル	12
4.1 サンプル	12
4.1.1 チャンネル長 (ゲート長)	12
4.1.2 チャンネル幅 (ゲート幅)	12
4.1.3 構造	12
4.1.4 製造プロセス	14
4.2 パッケージング	14
4.3 ESD 保護回路	14
4.4 試験サンプル数	14
5 試験手順	14
5.1 初期測定及びリードポイントにおける測定	14
5.2 試験	16
5.2.1 ストレス温度	16
5.2.2 ストレス電圧	16
5.2.3 リードポイント	16
5.2.4 最終試験時間	16
5.3 寿命推定方法	18
5.3.1 故障判定	18
5.3.2 寿命推定手順	18
5.3.3 加速モデル	18
6 参考文献	22

試験方法 A-102 MOSFET のバイアス・温度不安定性試験 (BTI)	24
1 適用範囲	24
2 用語と定義	24
3 試験に必要な装置	28
3.1 試験装置	28
3.1.1 ウエハプロバ／高温槽	28
3.1.2 測定装置	28
3.2 サンプルの取り扱い	28
4 試験サンプル	28
4.1 サンプル	28
4.1.1 チャネル長 (ゲート長)	28
4.1.2 チャネル幅 (ゲート幅)	28
4.1.3 構造	28
4.1.4 製造プロセス	30
4.2 パッケージング	30
4.3 ESD 保護回路	30
4.4 試験サンプル数	30
5 試験手順	32
5.1 初期測定及びリードポイントにおける測定	32
5.2 試験	32
5.2.1 ストレス温度	32
5.2.2 ストレス電界強度 E_{ox}	32
5.2.3 リードポイント	32
5.2.4 最終試験時間	34
5.3 フィールド MOSFET に関する注釈	34
5.3.1 チャネル長 (ゲート長)	34
5.3.2 測定項目	34
5.3.3 試験時のストレス電界強度	34
5.4 寿命推定方法	34
5.4.1 故障判定	34
5.4.2 寿命推定手順	34
5.4.3 加速モデル	36
附属書 A	38
A.1 NBTI の回復効果	38
A.2 最終試験時間	38
参考文献	40

試験方法 A-103 MOSFET の Fast BTI 試験	42
1 適用範囲	42
2 用語と定義	42
3 試験に必要な装置	46
3.1 試験装置	46
3.1.1 ウエハプロバ	46
3.1.2 測定装置	46
3.2 サンプルの取り扱い	46
4 試験サンプル	46
4.1 サンプル	46
4.1.1 チャンネル長（ゲート長）	46
4.1.2 チャンネル幅（ゲート幅）	46
4.1.3 構造	46
4.1.4 製造プロセス	46
4.2 ESD 保護回路	48
4.3 試験サンプル数	48
5 試験手順	48
5.1 測定パラメータの定義	50
5.1.1 弱反転領域の測定の場合	50
5.1.2 サブスレシヨルド領域での測定の場合	50
5.1.3 I_{Dsat} , I_{Dlin} 測定の場合	52
5.2 試験	52
5.2.1 試験フロー	52
5.2.2 高速スイッチング	54
5.2.3 温度	54
5.2.4 ストレス電界強度 E_{ox}	54
5.2.5 リードポイント	54
5.2.6 最終試験時間	54
5.3 寿命推定方法	56
5.3.1 故障判定	56
5.3.2 寿命推定手順	56
5.3.3 加速モデル	56
附属書 A	58
A.1 NBTI の回復効果	58
A.2 最終試験時間	58
参考文献	60

試験方法 A-104 絶縁膜の経時絶縁破壊試験 (TDDB)	62
1 適用範囲	62
2 用語と定義	62
3 試験に必要な装置	64
4 試験サンプル	66
4.1 全般	66
4.2 サンプル構造	66
4.3 面積	66
5 手順	66
5.1 全般	66
5.2 プレテスト	66
5.3 試験条件	66
5.3.1 電界	66
5.3.2 温度	68
5.3.3 初期特性テスト	68
5.4 評価基準	68
6 寿命見積り	72
6.1 全般	72
6.1.1 加速モデル	72
6.1.2 寿命見積りのための手順	74
7 寿命のゲート絶縁膜面積依存	76
8 参考文献	76
附属書 A	86
A.1 V_{stress} (ストレス電圧) を決定するための手順例	86
A.2 加速係数の典型値	86
A.3 ワイブル分布のプロット手順	88

バックエンドプロセス関係

試験方法 B-101 定電流エレクトロマイグレーション試験	90
1 適用範囲	90
2 用語と定義	90
3 背景	90
4 サンプル数	90
5 サンプル構造	92
5.1 配線	92
5.2 ビアチェーン	92
5.3 コンタクトチェーン	94
6 試験条件	94
6.1 温度係数 (TCR : Temperature Coefficient of Resistance) 測定	94
7 故障判定	96

8	データ解析	96
9	銅配線サンプル構造に関する注意事項	104
10	参考文献	104
試験方法 B-102 銅配線のストレスマイグレーション試験		
1	適用範囲	106
2	用語と定義	106
3	試験装置	108
4	サンプル構造	108
4.1	テスト層	108
4.2	配線パターン（オプション）	108
4.3	ビアパターン	108
4.3.1	太幅パターン	108
4.3.2	凸パターン	110
4.4	ビアチェーン数	112
5	試験手順	112
6	温度依存性	116
7	形状依存ファクタの算出	118
7.1	太幅パターンの形状ファクタ	118
7.1.1	アクティブデフェュージョンモデル	118
7.1.2	幅依存モデル	122
7.2	凸パターンでの形状ファクタ	122
7.2.1	ボディ面積依存	122
7.2.2	凸長, 凸幅依存	124
8	寿命モデル	124
8.1	太幅パターンの寿命モデル	124
8.1.1	アクティブデフェュージョンモデルの場合	124
8.1.2	幅依存モデルの場合	126
8.2	凸パターン	126
9	判定基準	126
10	特記事項	128
附属書 A		
A.1	試験パターンセット例	130
A.1.1	太幅パターンセット例	130
A.1.2	凸パターンセット例	130
附属書 B		
B.1	形状ファクタのデータ例	132
B.1.1	太幅パターンの形状ファクタのデータ例	132
B.1.2	凸パターンでの形状ファクタ	134

附属書 C	138
C.1 適用例	138
C.2 ビア数抽出例	138
C.2.1 太幅ビアの場合	138
C.2.2 凸パターンビアの場合	142
附属書 D	148
D.1 ストレスマイグレーションメカニズム	148
参考文献	152
試験方法 B-103 多層配線間の TDDB 試験方法	154
1 目的	154
2 用語説明	154
3 試験装置	156
4 試験試料	156
4.1 全般	156
4.2 試験試料の構造について	156
5 試験実施手順	160
5.1 概要	160
5.2 プレテスト	160
5.3 試験条件	160
5.3.1 概要	160
5.3.2 試験電界	160
5.3.3 試験温度	160
5.4 故障判断基準	162
6 寿命推定方法	164
6.1 概要	164
6.2 寿命推定の加速モデル	164
6.3 寿命推定モデル式	164
6.3.1 E モデルについて	164
6.3.2 \sqrt{E} モデルについて	164
6.4 寿命推定実施手順	164
7 規模の換算方法	166
8 適用にあたり	166
附属書 A	168
A.1 加速係数の代表値の紹介	168
A.2 ワイブル関数	168
参考文献	174

一般的事項

試験方法 C-101 ウエハープロセスの信頼性試験の一般的事項	176
1 適用範囲	176
2 故障メカニズムに基づく信頼性試験の目的	176
3 一般的要求事項	176
4 故障判定基準	176
5 統計的取扱い	178

電子情報技術産業協会規格

半導体デバイスのウエハープロセスの信頼性試験方法

Wafer Level Reliability test methods for semiconductor devices

1 適用範囲

この試験規格は、LSI の故障メカニズムに基づいたウエハープロセスの故障メカニズムの信頼性試験方法を規定する。



Standard of Japan Electronics and Information Technology Industries Association

JEITA ED-4704A

Wafer Level Reliability test methods for semiconductor devices

Established in May, 2000

Revised in July, 2011

Prepared by

Technical Committee on Semiconductor Reliability

Published by

Japan Electronics and Information Technology Industries Association

Ote Center Bldg., 1-3, Otemachi 1-chome, Chiyoda-ku, Tokyo, 100-0004, Japan

Printed in Japan

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2011 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

CONTENTS

	page
1 Scope	1
DESCRIPTION/SUPPLEMENTATION	3
 APPENDIX	
FRONT-END PROCESS RELATED TEST	
Test method A-101 Hot Carrier Injection Test for MOSFET	7
1 Scope	7
2 Terms and definitions	7
3 Test equipment	11
3.1 Equipment	11
3.1.1 Wafer prober or high temperature oven	11
3.1.2 Measurement equipment	11
3.2 Requirement for handling	11
4 Test sample	11
4.1 Sample	11
4.1.1 Channel length (gate length)	11
4.1.2 Channel width (gate width)	11
4.1.3 Structure	11
4.1.4 Wafer process	13
4.2 Packaging	13
4.3 ESD protection circuit	13
4.4 Number of Samples	13
5 Procedure	13
5.1 Initial measurement and read point measurement	13
5.2 Test	15
5.2.1 Stress temperature	15
5.2.2 Stress voltage	15
5.2.3 Read point	15
5.2.4 Final test time	15
5.3 Lifetime estimation	17
5.3.1 Failure criteria	17
5.3.2 Procedure of Lifetime estimation	17
5.3.3 Acceleration model	17
6 Bibliography	21

Test method A-102 Bias Temperature Instability Test for MOSFET	23
1 Scope	23
2 Terms and definitions	23
3 Test equipment	27
3.1 Equipment	27
3.1.1 Wafer prober or high temperature oven	27
3.1.2 Measurement equipment	27
3.2 Requirement for handling	27
4 Test sample	27
4.1 Sample	27
4.1.1 Channel length (gate length)	27
4.1.2 Channel width (gate width)	27
4.1.3 Structure	27
4.1.4 Wafer process	29
4.2 Packaging	29
4.3 ESD protection circuit	29
4.4 Number of samples	29
5 Procedure	31
5.1 Initial measurement and read point measurement	31
5.2 Test	31
5.2.1 Stress temperature	31
5.2.2 Electric field strength E_{ox}	31
5.2.3 Read point	31
5.2.4 Final test time	33
5.3 Notes for field MOSFET	33
5.3.1 Channel length (gate length)	33
5.3.2 Electrical characteristics	33
5.3.3 Stress electric field	33
5.4 Lifetime estimation	33
5.4.1 Failure criteria	33
5.4.2 Procedure of Lifetime estimation	33
5.4.3 Acceleration model	35
Annex A	37
A.1 Recovery effect of PMOS NBTI	37
A.2 Final test time	37
Bibliography	39

Test method A-103 Fast BTI Test for MOSFET	41
1 Scope	41
2 Terms and definitions	41
3 Test equipment	45
3.1 Equipment	45
3.1.1 Wafer prober	45
3.1.2 Measurement equipment	45
3.2 Requirement for handling	45
4 Test sample	45
4.1 Sample	45
4.1.1 Channel length (gate length)	45
4.1.2 Channel width (gate width)	45
4.1.3 Structure	45
4.1.4 Wafer process	45
4.2 ESD protection circuit	47
4.3 Number of samples	47
5 Procedure	47
5.1 Definition of measurement parameter	49
5.1.1 Measurement in weakly inverted region	49
5.1.2 Measurement in subthreshold region	49
5.1.3 Measurement of ID degradation (I_{Dsat} , I_{Dlin})	51
5.2 Test	51
5.2.1 Test flow	51
5.2.2 Fast voltage switching	53
5.2.3 Temperature	53
5.2.4 Electric field strength E_{ox}	53
5.2.5 Read point	53
5.2.6 Final test time	53
5.3 Lifetime estimation	55
5.3.1 Failure criteria	55
5.3.2 Procedure of Lifetime estimation	55
5.3.3 Acceleration model	55
Annex A	57
A.1 Recovery effect of NBTI	57
A.2 Final test time	57
Bibliography	59

Test method A-104 Time Dependent Dielectric Breakdown (TDDB) Test for Gate Dielectric	61
1 Scope	61
2 Terms and definitions	61
3 Test equipment	63
4 Test samples	65
4.1 General	65
4.2 Test structure	65
4.3 Area	65
5 Procedures	65
5.1 General	65
5.2 Pre-test	65
5.3 Test conditions	65
5.3.1 Electric field	65
5.3.2 Temperature	67
5.3.3 Pre-characterization test	67
5.4 Criteria	67
6 Lifetime estimation	71
6.1 General	71
6.1.1 Acceleration model	71
6.1.2 A procedure for lifetime estimation	73
7 Lifetime dependence on gate dielectric area	75
8 Bibliography	75
Annex A	85
A.1 Example for determining V_{stress}	85
A.2 Typical value of acceleration factor	85
A.3 Procedure to plot data using Weibull statistics	87

BACK-END PROCESS RELATED TEST

Test method B-101 Constant Current Electromigration Test	89
1 Scope	89
2 Symbols, terms and definitions	89
3 Background	89
4 Number of sample	89
5 Test structures	91
5.1 Lines	91
5.2 VIA chains	91
5.3 Contact chains	93
6 Test conditions	93
6.1 TCR: Temperature Coefficient of Resistance	93
7 Failure criteria	95

8	Data analysis	95
9	Instructions of Copper line Test pattern	103
10	Bibliography	103
Test method B-102	Copper Stress migration Test	105
1	Scope	105
2	Terms and definition	105
3	Test equipment	107
4	Test structure	107
4.1	Test layer	107
4.2	Line pattern (option)	107
4.3	VIA pattern	107
4.3.1	Wide pattern	107
4.3.2	Totsu (凸) pattern	109
4.4	Number of VIA chain	111
5	Procedure	111
6	Temperature dependence	115
7	Geometry dependence factor calculation	117
7.1	Geometry factor of Wide pattern	117
7.1.1	Active diffusion model	117
7.1.2	Width length model	121
7.2	Geometry factor with Totsu (凸) pattern	121
7.2.1	Body area dependence	121
7.2.2	Totsu length dependence, Totsu width dependence	123
8	Lifetime model	123
8.1	Lifetime model for Wide pattern	123
8.1.1	Active diffusion model	123
8.1.2	Width dependence model	125
8.2	Lifetime model for Totsu (凸) pattern	125
9	Criterion	125
10	Items to be specified and reported	127
Annex A		129
A.1	Example of test pattern set	129
A.1.1	Example for Wide pattern set	129
A.1.2	Example for Totsu pattern set	129
Annex B		131
B.1	Example data of geometry factor	131
B.1.1	Experimental example geometry factor for Wide pattern	131
B.1.2	Geometry factor with Totsu (凸) pattern	133

Annex C	137
C.1 Application example	137
C.2 Example of extracting number of VIA	137
C.2.1 Case of Wide pattern	137
C.2.2 Case of Totsu (凸) pattern	141
Annex D	147
D.1 Stress migration mechanism	147
Bibliography	151
Test method B-103 Time-dependent dielectric breakdown (TDDB) test	
for inter-metal layers	153
1 Scope	153
2 Terms and definitions	153
3 Test equipment	155
4 Test samples	155
4.1 General	155
4.2 Test structure	155
5 Procedures	159
5.1 General	159
5.2 Pre-test	159
5.3 Test conditions	159
5.3.1 General	159
5.3.2 Electric field	159
5.3.3 Temperature	159
5.4 Failure criterion	161
6 Lifetime estimation	163
6.1 General	163
6.2 Acceleration model	163
6.3 Formula of lifetime model	163
6.3.1 Electric-field model	163
6.3.2 SQRT Electric-field model	163
6.4 A procedure for lifetime estimation	163
7 Lifetime dependence on inter-metal layer area	165
8 Summary	165
Annex A	167
A.1 Typical value of acceleration factor	167
A.2 Procedure to plot data using Weibull statistics	167
Bibliography	173

General

Test method C-101	General information for Wafer Level Reliability	175
1	Scope	175
2	Purpose of failure mechanism driven reliability test	175
3	General requirement	175
4	Failure criteria	175
5	Statistical treatment	177

Standard of Japan Electronics and Information Technology Industries Association

Wafer Level Reliability test methods for semiconductor devices

1 Scope

These standards provide Wafer Level Reliability test methods for semiconductor devices.