

JEITA

電子情報技術産業協会規格

Standard of Japan Electronics and Information Technology Industries Association

JEITA ED-4561B

電界効果パワートランジスタの 定格・特性及び試験方法

**Essential ratings, characteristics and testing methods
for power field effect transistors**

1989年3月制定

2018年2月改正

作 成

個別半導体製品技術委員会

Discrete Semiconductor Technical Committee

発 行

一般社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

In case of a disagreement between the translation and the original version of the standard or technical report in Japanese, the original version will prevail.

© JEITA :2018 - Copyright - all reserved

No part of this publication may be reproduced or utilized in any form or by any means without permission in writing from the publisher.

Contents

	page
1 Scope	1
2 Terms and definitions	1
2.1 Structure	1
2.1.1 power MOS field effect transistor	1
2.1.2 channel	1
2.1.3 super-junction structure	1
2.1.4 drain (terminal)	1
2.1.5 source (terminal)	1
2.1.6 gate (terminal)	1
2.2 Terms related ratings and characteristics	3
2.2.1 cut-off region (state)	3
2.2.2 on region (state)	3
2.2.3 saturation region (state)	3
2.2.4 forward bias state	3
2.2.5 reverse bias state	3
2.2.6 drain-source voltage (V_{DS})	3
2.2.7 gate-source voltage (V_{GS})	3
2.2.8 drain current (I_D)	3
2.2.9 gate electrostatic discharge capability ($V_{GS(ED)}$)	3
2.2.10 drain-source breakdown voltage ($V_{(BR)DS_}$)	5
2.2.11 drain power dissipation (P_D)	5
2.2.12 dv/dt ruggedness	5
2.2.13 forward bias safe operating area (FBSOA)	5
2.2.14 reverse bias safe operating area (RBSOA)	5
2.2.15 short circuit capability (SCSOA)	5
2.2.16 non-repetitive avalanche energy (E_{AS})	7
2.2.17 repetitive avalanche energy (E_{AR})	7
2.2.18 non-repetitive avalanche current (I_{AS})	7
2.2.19 repetitive avalanche current (I_{AR})	7
2.2.20 drain-source cut-off current ($I_{DS_}$)	7
2.2.21 gate-source leakage current ($I_{GS_}$)	7
2.2.22 drain-source on voltage ($V_{DS(on)}$)	7
2.2.23 drain-source on resistance ($r_{DS(on)}$)	7
2.2.24 drain-source reverse voltage (V_{DSR})	7
2.2.25 gate-source threshold voltage ($V_{GS(th)}$)	9
2.2.26 forward transfer conductance (g_m)	9
2.2.27 input capacitance (C_{iss})	9

目 次

	ページ
1 適用範囲	2
2 用語及び定義	2
2.1 構造	2
2.1.1 MOS 形電界効果パワートランジスタ	2
2.1.2 チャンネル部	2
2.1.3 超接合構造	2
2.1.4 ドレイン(端子)	2
2.1.5 ソース(端子)	2
2.1.6 ゲート(端子)	2
2.2 定格及び特性	4
2.2.1 遮断領域(状態)	4
2.2.2 オン領域(状態)	4
2.2.3 飽和領域(状態)	4
2.2.4 順バイアス状態	4
2.2.5 逆バイアス状態	4
2.2.6 ドレイン・ソース間電圧 (V_{DS})	4
2.2.7 ゲート・ソース間電圧 (V_{GS})	4
2.2.8 ドレイン電流 (I_D)	4
2.2.9 ゲート静電耐電圧 (V_{GS_ED})	4
2.2.10 ドレイン・ソース間降伏電圧 ($V_{(BR)DS_}$)	6
2.2.11 ドレイン損失 (P_D)	6
2.2.12 dv/dt 耐量	6
2.2.13 順バイアス安全動作領域 (FBSOA)	6
2.2.14 逆バイアス安全動作領域 (RBSOA)	6
2.2.15 短絡耐量 (SCSOA)	6
2.2.16 非繰返しアバランシェエネルギー (E_{AS})	8
2.2.17 繰返しアバランシェエネルギー (E_{AR})	8
2.2.18 非繰返しアバランシェ電流 (I_{AS})	8
2.2.19 繰返しアバランシェ電流 (I_{AR})	8
2.2.20 ドレイン・ソース間遮断電流 ($I_{DS_}$)	8
2.2.21 ゲート・ソース間漏れ電流 ($I_{GS_}$)	8
2.2.22 ドレイン・ソース間オン電圧 ($V_{DS(on)}$)	8
2.2.23 ドレイン・ソース間オン抵抗 ($r_{DS(on)}$)	8
2.2.24 ドレイン・ソース間逆方向電圧 (V_{DSR})	8
2.2.25 ゲート・ソース間しきい値電圧 ($V_{GS(th)}$)	10
2.2.26 順伝達コンダクタンス入力容量 (g_m)	10
2.2.27 入力容量 (C_{iss})	10

2.2.28	reverse transfer capacitance (C_{rss})	9
2.2.29	output capacitance (C_{oss})	9
2.2.30	gate resistance (r_g)	9
2.2.31	gate charge ($Q_G / Q_{GS(pl)} / Q_{GD} / Q_{GS(th)}$)	9
2.2.32	switching time ($t_{d(on)} / t_r / t_{on} / t_{d(off)} / t_f / t_t / t_{off} / t_{fr}$)	11
2.2.33	switching energy ($E_{on} / E_{off} / E_{fr}$)	13
2.2.34	forward recovery charge (Q_{fr})	15
2.2.35	thermal resistance ($R_{th(ch-ref)}$)	15
2.2.36	transient thermal impedance ($Z_{th(ch-ref)}$)	15
2.2.37	(virtual) channel temperature (T_{ch})	17
2.2.38	(device) reference point temperature (T_{ref})	17
2.2.39	storage temperature (T_{stg})	17
3	Ratings and characteristics	17
3.1	Ratings, characteristics and standard specification items	17
3.2	Electrical ratings	21
3.2.1	Rated drain-source voltage ($V_{DS_}$)	21
3.2.2	Rated gate-source voltage ($V_{GS_}$)	21
3.2.3	Rated drain current (I_D / I_{DRM})	21
3.2.4	Rated drain reverse current (I_{DR} / I_{DRRM})	21
3.2.5	Rated gate electrostatic withstand voltage ($V_{GS_}(ED)$)	21
3.2.6	Rated drain power dissipation (P_D)	21
3.2.7	Rated MOSFET dV/dt ruggedness (dV/dt)	21
3.2.8	Rated body diode dV/dt ruggedness (dV/dt)	21
3.2.9	Rated forward bias safe operating area (FBSOA)	21
3.2.10	Rated reversed bias safe operating area (RBSOA)	21
3.2.11	Rated short circuit safe operating area (SCSOA)	23
3.2.12	Rated non-repetitive avalanche energy (E_{AS})	23
3.2.13	Rated repetitive avalanche energy (E_{AR})	23
3.2.14	Rated non-repetitive avalanche current (I_{AS})	23
3.2.15	Rated repetitive avalanche current (I_{AR})	23
3.3	Electrical Characteristics	23
3.3.1	Maximum drain-source cut-off current ($I_{DS_}$)	23
3.3.2	Maximum gate-source leakage current ($I_{GS_}$)	23
3.3.3	Maximum drain-source on-state voltage ($V_{DS(on)}$)	23
3.3.4	Maximum drain-source on-state resistance ($r_{DS(on)}$)	25
3.3.5	Maximum drain-source reverse voltage (V_{DSR})	25
3.3.6	Minimum gate-source threshold voltage, maximum gate-source threshold voltage ($V_{GS(th)}$)	25
3.3.7	Maximum input capacitance (C_{iss})	25

2.2.28	帰還容量 (C_{rss})	10
2.2.29	出力容量 (C_{oss})	10
2.2.30	ゲート抵抗 (r_g)	10
2.2.31	ゲート電荷量 ($Q_G / Q_{GS(pl)} / Q_{GD} / Q_{GS(th)}$)	10
2.2.32	スイッチング時間 ($t_{d(on)} / t_r / t_{on} / t_{d(off)} / t_f / t_t / t_{off} / t_{fr}$)	12
2.2.33	スイッチング損失エネルギー ($E_{on} / E_{off} / E_{fr}$)	14
2.2.34	順回復電荷 (Q_{fr})	16
2.2.35	熱抵抗 ($R_{th(ch-ref)}$)	16
2.2.36	過渡熱インピーダンス ($Z_{th(ch-ref)}$)	16
2.2.37	(見かけの)チャネル温度 (T_{ch})	18
2.2.38	(素子)基準点温度 (T_{ref})	18
2.2.39	保存温度 (T_{stg})	18
3	定格・特性	18
3.1	定格・特性と標準規定項目	18
3.2	電氣的定格	22
3.2.1	定格ドレイン・ソース間電圧 ($V_{DS_}$)	22
3.2.2	定格ゲート・ソース間電圧 ($V_{GS_}$)	22
3.2.3	定格ドレイン電流 (I_D / I_{DRM})	22
3.2.4	定格ドレイン逆電流 (I_{DR} / I_{DRRM})	22
3.2.5	定格ゲート静電耐電圧 ($V_{GS_}(ED)$)	22
3.2.6	定格ドレイン損失 (P_D)	22
3.2.7	定格 MOSFET dv/dt 耐量 (dv/dt)	22
3.2.8	定格ポディーダイオード dv/dt 耐量 (dv/dt)	22
3.2.9	定格順バイアス安全動作領域 (FBSOA)	22
3.2.10	定格逆バイアス安全動作領域 (RBSOA)	22
3.2.11	定格短絡耐量 (SCSOA)	24
3.2.12	定格非繰返しアバランシェエネルギー (E_{AS})	24
3.2.13	定格繰返しアバランシェエネルギー (E_{AR})	24
3.2.14	定格非繰返しアバランシェ電流 (I_{AS})	24
3.2.15	定格繰返しアバランシェ電流 (I_{AR})	24
3.3	電氣的特性	24
3.3.1	最大ドレイン・ソース間遮断電流 ($I_{DS_}$)	24
3.3.2	最大ゲート・ソース間漏れ電流 ($I_{GS_}$)	24
3.3.3	最大ドレイン・ソース間オン電圧 ($V_{DS(on)}$)	24
3.3.4	最大ドレイン・ソース間オン抵抗 ($r_{DS(on)}$)	26
3.3.5	最大ドレイン・ソース間逆方向電圧 (V_{DSR})	26
3.3.6	最小ゲート・ソース間しきい値電圧, 最大ゲート・ソース間しきい値電圧 ($V_{GS(th)}$)	26
3.3.7	最大入力容量 (C_{iss})	26

3.3.8	Maximum reverse transfer capacitance (C_{rss})	25
3.3.9	Maximum output capacitance (C_{oss})	25
3.3.10	Maximum gate resistance (r_g)	25
3.3.11	Maximum gate input charge (Q_G)	25
3.3.12	Maximum turn-on time (t_{on})	25
3.3.13	Maximum turn-off time (t_{off})	25
3.3.14	Maximum forward recovery time (t_{fr})	25
3.4	Thermal characteristics	25
3.4.1	Maximum thermal resistance ($R_{th(ch-ref)}$)	25
3.4.2	Maximum transient thermal impedance ($Z_{th(ch-ref)}$)	27
4	Tests	27
4.1	General	27
4.1.1	Standard test conditions	27
4.2	Electrical rating test	31
4.2.1	Drain-source voltage test	31
4.2.2	Gate-source voltage test	33
4.2.3	Drain current test	33
4.2.4	Drain reverse current test	37
4.2.5	Gate electrostatic withstand voltage test	39
4.2.6	MOSFET dV/dt ruggedness test	41
4.2.7	Body diode dV/dt ruggedness test	43
4.2.8	Forward bias safe operating area test	45
4.2.9	Reverse bias safe operating area Test	53
4.2.10	Short-circuit capability test	55
4.2.11	Non-repetitive avalanche energy test	57
4.3	Electrical characteristics test	61
4.3.1	Drain-source cutoff current test	61
4.3.2	Gate-source leakage current test	63
4.3.3	Drain-source on-state resistance, on-state voltage test	63
4.3.4	Drain-source reverse voltage test	69
4.3.5	Gate-source threshold voltage test	71
4.3.6	Input capacitance test	73
4.3.7	Reverse transfer capacitance test	75
4.3.8	Output capacitance test	75
4.3.9	Gate resistance test	77
4.3.10	Gate charge test	79
4.3.11	Inductive load switching time test	83
4.3.12	Inductive load forward recovery switching time test	87

3.3.8	最大帰還容量 (C_{rSS})	26
3.3.9	最大出力容量 (C_{oss})	26
3.3.10	最大ゲート抵抗 (r_g)	26
3.3.11	最大ゲート入力電荷量 (Q_G)	26
3.3.12	最大ターンオン時間 (t_{on})	26
3.3.13	最大ターンオフ時間 (t_{off})	26
3.3.14	最大順回復時間 (t_{fr})	26
3.4	熱的特性	26
3.4.1	最大熱抵抗 ($R_{th(ch-ref)}$)	26
3.4.2	最大過渡熱インピーダンス ($Z_{th(ch-ref)}$)	28
4	試験	28
4.1	一般	28
4.1.1	標準試験条件	28
4.2	電氣的定格試験	32
4.2.1	ドレイン・ソース間電圧試験	32
4.2.2	ゲート・ソース間電圧試験	34
4.2.3	ドレイン電流試験	34
4.2.4	ドレイン逆電流試験	38
4.2.5	ゲート静電耐電圧試験	40
4.2.6	MOSFET dv/dt 耐量試験	42
4.2.7	ボディダイオード dv/dt 耐量試験	44
4.2.8	順バイアス安全動作領域試験	46
4.2.9	逆バイアス安全動作領域試験	54
4.2.10	短絡耐量試験	56
4.2.11	非繰返しアバランシェエネルギー試験	58
4.3	電氣的特性試験	62
4.3.1	ドレイン・ソース間遮断電流試験	62
4.3.2	ゲート・ソース間漏れ電流試験	64
4.3.3	ドレイン・ソース間オン抵抗, オン電圧試験	64
4.3.4	ドレイン・ソース間逆方向電圧試験	70
4.3.5	ゲート・ソース間しきい値電圧試験	72
4.3.6	入力容量試験	74
4.3.7	帰還容量試験	76
4.3.8	出力容量試験	76
4.3.9	ゲート抵抗試験	78
4.3.10	ゲート電荷量試験	80
4.3.11	誘導負荷スイッチング時間試験	84
4.3.12	誘導負荷順回復スイッチング時間試験	88

4.4	Thermal characteristic test	91
4.4.1	Thermal resistance test (using the temperature characteristics of the body diode between source and drain)	91
4.4.2	Transient thermal impedance test (using temperature characteristic of the body diode between source and drain)	95
4.4.3	Thermal resistance test (using temperature characteristic of gate-source voltage)	101
4.4.4	Transient thermal impedance test (using temperature characteristic of gate-source voltage)	105
Annex A (normative)	Forward transfer conductance test.....	113
A.1	Terms and definitions	113
A.2	Electrical characteristics	113
A.3	Test	113
Annex B (normative)	Resistive load switching time test	117
B.1	Terms and definitions	117
B.2	Electrical characteristics	117
B.3	Test	119
Annex C (informative)	Tests beyond ratings	123
C.1	Test method (except chapter 4)	123
C.2	Drain-source breakdown voltage test	123
C.3	Inductive load turn-off capacity test	125
Annex D (informative)	Output capacitance, charge amount-related formula	129
D.1	Effective output capacitance (energy conversion)	129
D.2	Effective output capacitance (time conversion)	129
D.3	Output capacitance (stored) energy	129
D.4	Output charge amount	129
Description	131
1	Description of MOSFET	131
1.1	Basic structure	131
1.2	Operation principle	131
2	Description of super-junction structure MOSFET (SJ-MOSFET)	133
2.1	Basic structure	133
2.2	Operation principle	133
3	Graphical symbols and letter symbols	135
4	Terms and letter symbols of MOSFET	137
4.1	Voltage	137
4.2	Current	137

4.4	熱的特性試験	92
4.4.1	熱抵抗試験(ソース・ドレイン間ボディダイオードの温度特性による)	92
4.4.2	過渡熱インピーダンス試験(ソース・ドレイン間ボディダイオードの温度特性による)	96
4.4.3	熱抵抗試験(ゲート・ソース間電圧の温度特性による)	102
4.4.4	過渡熱インピーダンス試験(ゲート・ソース間電圧の温度特性による)	106
附属書 A (規定)	順伝達コンダクタンス試験	114
A.1	用語及び定義	114
A.2	電気的特性	114
A.3	試験	114
附属書 B (規定)	抵抗負荷スイッチング時間試験	118
B.1	用語及び定義	118
B.2	電気的特性	118
B.3	試験	120
附属書 C (参考)	定格を超える試験	124
C.1	試験方法(4以外の)	124
C.2	ドレイン・ソース間降伏電圧試験	124
C.3	誘導負荷ターンオフ耐量試験	126
附属書 D (参考)	出力容量, 電荷量関連の計算式	130
D.1	実効出力容量(エネルギー換算)	130
D.2	実効出力容量(時間換算)	130
D.3	出力容量損失エネルギー	130
D.4	出力電荷量	130
解説		132
1	MOSFET について	132
1.1	基本構造	132
1.2	動作原理	132
2	超接合構造 MOSFET (SJ-MOSFET) について	134
2.1	基本構造	134
2.2	動作原理	134
3	電気用図記号と記号	136
4	電界効果パワートランジスタの用語と文字記号	138
4.1	電圧	138
4.2	電流	138

4.3	Time	137
4.4	Power dissipations, energies and thermal magnitudes	139
4.5	Resistance, (electrostatic) capacitance	139
4.6	Other electrical magnitudes	141
5	Details of enactment	141
6	Main revised contents	143
7	Committee members	145

4.3	時間	138
4.4	損失・損失エネルギー・熱	140
4.5	抵抗・(静電)容量	140
4.6	その他	142
5	制定の経緯	142
6	主たる改正内容	144
7	審議委員	146

Standard of Japan Electronics and Information Technology Industries Association

Essential ratings, characteristics and testing methods for power field effect transistors

1 Scope

This standard provides for the power MOS Field Effect Transistors that have cut-off state under the condition where control voltage is not applied on the gate chiefly used as switching for electric semiconductor devices or other devices.

2 Terms and definitions

Main terms and definitions are specified as follows.

2.1 Structure

2.1.1

power MOS field effect transistor

semiconductor component with metal-oxidized film-semiconductor structure with 2 PN junctions and 3 terminals (drain, source, and gate), also with semiconductor layer that forms channel connected with the source [Hereinafter called MOSFET]

2.1.2

channel

part forming inversion layer in MOSFET

called n-channel when channel region is p-type, and called p-channel when channel region is n-type

2.1.3

super-junction structure

structure with drift layers interleaving with p-type region and n-type region at high impurities concentration

2.1.4

drain (terminal)

part (terminal) that main current flows in n-channel type and that main current effuses in at p-channel in the MOSFET

2.1.5

source (terminal)

part (terminal) that main current effuses in n-channel type and that main current flows in p-channel type in the MOSFET

2.1.6

gate (terminal)

a part (terminal) applying control voltage in the MOSFET

電子情報技術産業協会規格

電界効果パワートランジスタの 定格・特性及び試験方法

Essential ratings, characteristics and testing methods for power field effect transistors

1 適用範囲

この規格は、電力用半導体装置又はその他の電子装置の、主にスイッチング用途として用いるゲートに制御電圧を与えない状態で遮断状態を有する MOS 形の電界効果パワートランジスタについて規定する。

2 用語及び定義

この規格で用いる主な用語及び定義は、次による。

2.1 構造

2.1.1

MOS 形電界効果パワートランジスタ

金属—酸化膜—半導体で構成され、二つの PN 接合を包蔵し、ドレイン、ソース及びゲートの 3 端子を備え、かつ、チャンネル部を形成する半導体層がソースと接続された MOS 形構造を有する半導体素子。[以下、MOSFET という。]

2.1.2

チャンネル部

MOSFET において、反転層を形成する部分。チャンネル部が p 領域の場合 n チャンネル形と呼び、n 領域の場合 p チャンネル形と呼ぶ。

2.1.3

超接合構造

ドリフト層を高不純物濃度で p 形領域と n 形領域とを交互に多数配置した構造。

2.1.4

ドレイン(端子)

MOSFET において、p チャンネル形では主電流が流れ出し、n チャンネル形では主電流が流れ込む部分(端子)。

2.1.5

ソース(端子)

MOSFET において、p チャンネル形では主電流が流れ込み、n チャンネル形では主電流が流れ出す部分(端子)。

2.1.6

ゲート(端子)

MOSFET において、制御電圧を印加する部分(端子)。