



日本電子機械工業会規格
Standard of Electronic Industries Association of Japan

EIAJ ED-4522

ターンオフサイリスタの定格・特性及び試験方法
Essential ratings, characteristics and testing methods
for turn off thyristors

1995年1月制定

作成

個別半導体技術委員会
Technical Committee on Discrete Semiconductor Devices

発行

社団法人 日本電子機械工業会
Electronic Industries Association of Japan

目 次

1. 適用範囲	1
2. 定義	1
2.1 構造	1
2.1.1 p n 接合	1
2.1.2 陽極(端子)	1
2.1.3 陰極(端子)	1
2.1.4 ゲート(端子)	1
2.1.5 (ゲート)ターンオフサイリスタ	1
2.2 定格及び特性	2
2.2.1 陽極電圧	2
2.2.2 陽極電流	2
2.2.3 陽極特性	2
2.2.4 オン状態	2
2.2.5 オン電流	2
2.2.6 順電圧	3
2.2.7 オン電圧	3
2.2.8 過渡オン電圧	3
2.2.9 オン状態損失	4
2.2.10 逆損失	4
2.2.11 スイッチング損失	4
2.2.12 1パルス当たりの損失エネルギー	4
2.2.13 オフ状態	4
2.2.14 オフ電流	4
2.2.15 オフ電圧	4
2.2.16 逆阻止状態	5
2.2.17 逆導通状態	5
2.2.18 逆電流	5
2.2.19 逆電圧	5
2.2.20 ゲート逆阻止状態	6
2.2.21 ゲート電流	6
2.2.22 ゲート電圧	7
2.2.23 ゲート損失	7

EIAJ ED-4522

2.2.2 4	(ゲート制御) ターンオン時間	8
2.2.2 5	(ゲート制御) ターンオフ時間	8
2.2.2 6	臨界ゲート逆バイアス時間	8
2.2.2 7	(ゲート制御) テイル時間	10
2.2.2 8	(ゲート制御) ゲートターンオフ電荷	10
2.2.2 9	オフ状態回復電流	10
2.2.3 0	オフ状態回復電荷	10
2.2.3 1	熱抵抗	11
2.2.3 2	過渡熱インピーダンス	11
2.2.3 3	(見掛けの) 接合温度	11
2.2.3 4	素子基準点温度	11
2.2.3 5	保存温度	11
3.	標準	11
3.1	定格・特性の種類とその適用	11
3.2	電氣的定格	13
3.2.1	定格ピーク繰返しオフ電圧	13
3.2.2	定格ピーク非繰返しオフ電圧	13
3.2.3	定格ピーク繰返し逆電圧	13
3.2.4	定格ピーク非繰返し逆電圧	13
3.2.5	定格直流オフ電圧	13
3.2.6	定格直流逆電圧	13
3.2.7	定格平均オン電流	14
3.2.8	定格実効オン電流	14
3.2.9	定格平均逆電流	14
3.2.1 0	定格繰返し可制御オン電流	14
3.2.1 1	定格サージオン電流	14
3.2.1 2	定格サージ逆電流	14
3.2.1 3	定格臨界オン電流上昇率	15
3.2.1 4	定格ピークゲート順電圧	15
3.2.1 5	定格ピークゲート逆電圧	15
3.2.1 6	定格ピークゲート順電流	15
3.2.1 7	定格平均ゲート順損失	15
3.2.1 8	定格ピークゲート順損失	15
3.2.1 9	定格平均ゲート逆損失	15

3.2.20	定格ピークゲート逆損失	15
3.3	温度定格	16
3.3.1	(見掛けの)接合温度	16
3.3.2	保存温度	16
3.4	電気的特性	16
3.4.1	オン状態特性	16
3.4.2	逆電圧特性	16
3.4.3	ピークオン電圧	16
3.4.4	ピーク逆電圧	16
3.4.5	ピーク繰返しオフ電流	16
3.4.6	ピーク繰返し逆電流	16
3.4.7	最大オフ状態回復電荷	16
3.4.8	最大保持電流(最小保持電流)	16
3.4.9	最大ラッチング電流	16
3.4.10	最小臨界オフ電圧上昇率	16
3.4.11	最小転流時臨界オフ電圧上昇率	16
3.4.12	最大(ゲート制御)ターンオン時間	17
3.4.13	最大(ゲート制御)遅れ時間	17
3.4.14	最大(ゲート制御)立ち上がり時間	17
3.4.15	最大(ゲート制御)ターンオフ時間	17
3.4.16	最大(ゲート制御)蓄積時間	17
3.4.17	最大(ゲート制御)下降時間	17
3.4.18	最大(ゲート制御)ゲートターンオフ電荷	17
3.4.19	最大(ゲート制御)テイル時間	17
3.4.20	最大ゲートトリガ電圧	17
3.4.21	最大ゲートトリガ電流	17
3.4.22	最小ゲート非トリガ電圧	17
3.4.23	最小ゲート非トリガ電流	17
3.5	オン状態における電流限界値と特性の表示	17
3.5.1	最大オン状態損失特性	17
3.5.2	平均オン電流の限界値	17
3.6	熱的特性	18
3.6.1	最大熱抵抗	18
3.6.2	最大過渡熱インピーダンス	18

EIAJ ED-4522

3.7	機械的定格	18
3.7.1	定格端子締め付けトルク強度	18
3.7.2	定格圧接力強度	18
4.	試験	19
4.1	一般	19
4.1.1	標準試験条件	19
4.2	電氣的定格試験	20
4.2.1	オフ電圧試験	20
4.2.2	逆電圧試験	21
4.2.3	繰返し可制御オン電流試験	22
4.2.4	サージオン電流試験(逆電圧印加法)	24
4.2.5	サージオン電流試験(逆電圧非印加法)	25
4.2.6	サージ逆電流試験	26
4.2.7	定格臨界オン電流上昇率試験	27
4.2.8	定格ピークゲート順電圧, 定格ピークゲート順電流 及び定格ピークゲート順損失試験	29
4.2.9	定格平均ゲート順損失試験	30
4.2.10	定格ピークゲート逆電圧試験	31
4.3	電氣的特性試験	31
4.3.1	オン電圧特性曲線試験(直流法)	31
4.3.2	オン電圧特性曲線試験(交流法)	32
4.3.3	オン電圧特性曲線試験(パルス法)	33
4.3.4	オン電圧試験(直流法)	33
4.3.5	オン電圧試験(交流法)	34
4.3.6	オン電圧試験(パルス法)	35
4.3.7	逆電圧特性曲線試験(直流法)	36
4.3.8	逆電圧特性曲線試験(交流法)	36
4.3.9	逆電圧特性曲線試験(パルス法)	37
4.3.10	逆電圧試験(直流法)	38
4.3.11	逆電圧試験(交流法)	38
4.3.12	逆電圧試験(パルス法)	39
4.3.13	オフ電流試験(直流法)	40
4.3.14	オフ電流試験(交流法)	41
4.3.15	逆電流試験(直流法)	41

4.3.16	逆電流試験（交流法）	42
4.3.17	オフ状態回復電荷試験	42
4.3.18	保持電流試験（抵抗可変法）	46
4.3.19	保持電流試験（電圧可変法）	46
4.3.20	ラッチング電流試験	47
4.3.21	臨界オフ電圧上昇率試験（指数関数立ち上がり法）	48
4.3.22	臨界オフ電圧上昇率試験（直線立ち上がり法）	50
4.3.23	転流時臨界オフ電圧上昇率試験	51
4.3.24	（ゲート制御）ターンオン時間試験	53
4.3.25	（ゲート制御）ターンオフ時間試験	54
4.3.26	（ゲート制御）テイル時間試験	56
4.3.27	（ゲート制御）ゲートターンオフ電荷試験	56
4.3.28	ゲートトリガ電圧及びゲートトリガ電流試験	57
4.3.29	ゲート非トリガ電圧及びゲート非トリガ電流試験	59
4.3.30	ゲート順特性曲線試験	60
4.3.31	ゲート逆電流試験	61
4.4	熱的特性試験	62
4.4.1	熱抵抗試験（加熱法）	62
4.4.2	過渡熱インピーダンス試験（加熱法）	65
4.4.3	過渡熱インピーダンス試験（冷却法）	67
解 説		69
1.	電気用図記号と記号	69
2.	（ゲート）ターンオフサイリスタ文字記号	70
3.	審議委員	74

日本電子機械工業会規格

ターンオフサイリスタの定格・特性及び試験方法

Essential ratings, characteristics and testing methods
for turn off thyristors

1. 適用範囲 この規格は、半導体電力変換装置などに使用する10A級以上のターンオフサイリスタ(pゲート)について規定する。

備考 ここでいうターンオフサイリスタは、逆導通ターンオフサイリスタを含む。

2. 定義

2.1 構造

2.1.1 pn接合 半導体の内部でp形領域とn形領域の間の遷移部分。

2.1.2 陽極(端子) 外部回路からオン電流(2.2.5参照)が流れ込む端子。

2.1.3 陰極(端子) 外部回路へオン電流(2.2.5参照)が流れ出る端子。

2.1.4 ゲート(端子) ゲート電流(2.2.2.1参照)が流れる端子。

2.1.5 (ゲート)ターンオフサイリスタ 3つ以上のpn接合を包蔵し、陽極、陰極及びゲートの3種の端子を備え、正の陽極電圧(2.2.1参照)において、オフ状態(2.2.1.3参照)及びオン状態(2.2.4参照)を持つことが可能で、オフ状態からオン状態への移行がゲート順電流〔2.2.2.1(1)参照〕により、またオン状態からオフ状態への移行がゲート逆電流〔2.2.2.1(5)参照〕により制御しうる半導体素子(図1参照)であり、負の陽極電圧(2.2.1参照)においてこれを阻止する逆阻止ターンオフサイリスタ〔図1(1)参照〕と、導通する逆導通ターンオフサイリスタ〔図1(2)参照〕とに大別される半導体素子。

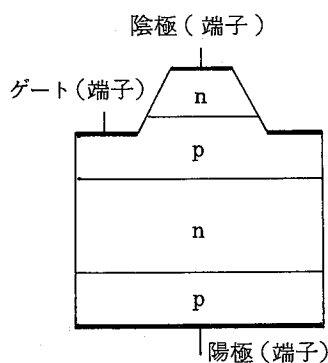
図1 ターンオフサイリスタの基本構造

(1) 逆阻止ターンオフサイリスタ

(2) 逆導通ターンオフサイリスタ

(a) 対称型

(逆阻止ターンオフサイリスタ)



(b) 非対称型

(アノード・ショートターンオフサイリスタ又は陽極エミッタ短絡ターンオフサイリスタ)

